

УДК 681.31

© Тимчишин В.О., 2000

Тернопільська академія народного господарства,
Інститут комп'ютерних інформаційних технологій, кафедра СКС**СПЕЦІАЛІЗОВАНІ КОМП'ЮТЕРНІ СИСТЕМИ НА БАЗІ ІВМ РС**

© Тимчишин В.О., 2000

Створені комп'ютерний пакет оптимізації спеціалізованих комп'ютерних систем (СКС) і методика його використання для проектування різних СКС дозволили виявити і розробити оптимізовані вузли для наступного компонування ними СКС відкритої архітектури. Плата розширення для шини ISA комп'ютерів ІВМ РС (електронний накопичувач 1М і відображений на пам'ять 24-розрядний порт виведення) забезпечила скорочення затрат коштів і часу на побудову оптимальних СКС для басейну і банку.

Вступ. Сьогодні існує широкий вибір систем автоматизованого проектування електронних компонент і плат. Поряд з цим, системний етап проектування є відкритим, роботи з розвитку САПР цього напрямку є найпріоритетнішими, інформаційно місткими і стратегічно важливими [1]. Генезис оптимальних варіантів СКС формальними математичними методами практично неможливий, процес створення системи є ітераційним багатоступеневим, поєднує формальні і конкретно-змістовні методи, що відіграють аналітичну і синтетичну роль [1].

Проведений вартісно-функціональний аналіз [2-4] областей оптимальної побудови СКС на базі типових мікропроцесорних платформ виявив доцільність реалізації робочих станцій СКС на ІВМ РС – для одиничних тиражів і складного програмного забезпечення (ПЗ), а для тиражів більше десятка станцій і нескладного ПЗ – оптимальний контролер на базі мікро-ЕОМ 8x51 [5].

Створено пакет оптимізації дистрибутивних СКС за сукупністю вартісно-функціональних характеристик [3, 4] і методику його використання (рис. 1) – як для проектування конкретної СКС (виходячи із заданих вартісних S і функціональних E характеристик системи та її технічних обмежень TO), так і для виявлення типових (повторюваних у різних СКС) оптимізованих вузлів, придатних для подальшого компонування ними СКС відкритої архітектури.

Для платформ 80x86 і 8x51 сформовано єдиний набір плат розширення [6], які вставляються у слот шини ISA ІВМ РС або під'єднуються до системної шини (підмножини ISA) розробленого контролера [5]. Використання в СКС промислових комп'ютерів і станцій на базі ІВМ РС (материнська плата, блок живлення, мінімальна множина плат розширення) забезпечує такі переваги: низьку вартість компонування типовими апаратними вузлами, зниження затрат на створення і відлагодження ПЗ у розвинених середовищах розробки, використання чисельних бібліотек, драйверів, сервісу операційних систем (ОС) тощо.

Однак при високих обчислювальних потужностях ІВМ РС мають обмежену швидкодію шини ISA (більшість материнських плат забезпечують до 1М/с звернень до портів введення-виведення), а для шини PCI в Україні розробка плат розширення ускладнена. Крім цього, не вирішені завантаження системного і прикладного ПЗ, енергонезалежного зберігання інформації у мобільних, автономних і дистрибутивних мережевих станціях. Відомі реалізації завантажувача в ІВМ РС використовують дискові накопичувачі (вінчестер, дискета, компакт-диск) [7] або віддалене завантаження ПЗ бездискової станції через мережу [8]. Аналіз застосувань автоном-

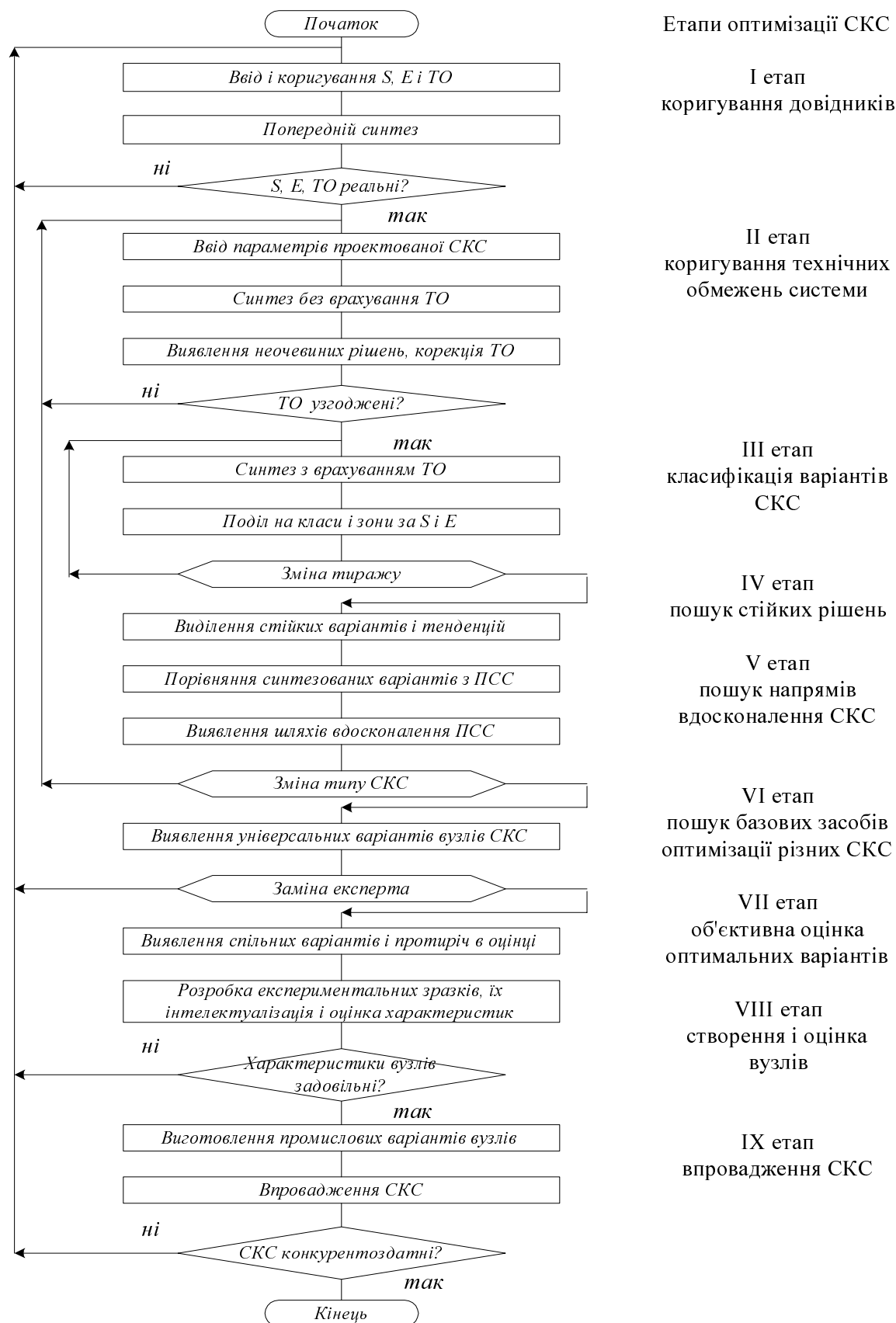


Рис.1. Етапи створення оптимізованих СКС

них контролерів, лічильників тощо [9] показав, що типовий об'єм енергонезалежної пам'яті, необхідний для їх тривалого функціонування, не перевищує 1М. Для побудови СКС реального часу на базі 80x86 об'єм системного (ОС QNX, MS DOS [10]) і прикладного ПЗ переважно також не перевищує 1М. Для багатьох застосувань умови експлуатації (температура, вологість, агресивність середовища) не дозволяють використати типові дискові накопичувачі, станція повинна завантажити ПЗ і виконувати базові функції при несправності сервера чи мережі.

Електронний накопичувач. Для одночасної реалізації накопичувача в СКС і завантаження системного ПЗ на 80x86 сформульовані технічні характеристики (об'єм до 1М, споживана потужність – 3Вт, час доступу і зчитування – 80 нс, висока вібростійкість, діапазон робочих температур від -20°C до +50°C, робота в агресивних середовищах, габарити не більше ніж 150x100мм) і функціональні вимоги (повна емуляція функцій традиційних дискових систем для прозорої взаємодії з усім системним і прикладним ПЗ на рівні ОС і базової системи введення-виведення BIOS, виявлення драйвера такого накопичувача, як ПЗП, розширення і регламентована взаємодія BIOS з ним на етапі завантаження комп'ютера, завантаження ОС при відсутності в системі завантажувальних дисків, блокування перезапису системних файлів або цілого диска). Виконання перелічених технічних вимог забезпечується апаратно (сучасна елементна база, конструктив шини ISA IBM PC), а функціональних характеристик – відповідною структурою ПЗ.

Запропоновано плату електронного накопичувача (ЕН) на флеш-пам'яті фірми Atmel (рис. 2), яка емулює накопичувач на гнучких дисках об'ємом до 1М, задовольняє перелічені технічні і функціональні вимоги, реалізує регламентовані алгоритми взаємодії. Блок перемикачів SWITCH на платі дозволяє (за рахунок вибору прямих чи інвертованих ліній адрес А₁₃-А₁₇ системної шини СШ ISA) встановити базову адресу діапазону 8К плати ЕН у адресному просторі пам'яті IBM PC (С0000h...ЕЕ000h). Це забезпечує не лише безконфліктне співіснування з іншими платами, але й розміщення ЕН за довільною найменшою адресою (С0000h – для станцій без відеосистеми, С8000h – з відеокартою тощо) для оптимального використання блоків верхньої пам'яті [10].

Плата ЕН (рис. 2) використовує сторінкову адресацію пам'яті, її адресний простір 8К ділиться на два блоки по 4К кожен. Для запису (зчитування) блоку 4К даних у адресному просторі IBM PC попередньо встановлюється його номер у сторінковому реєстрі (СР), який реалізовано як комірку пам'яті для спрощення схеми дешифрації плати. Для забезпечення розпізнавання і передачі керування ПЗП розширення плати ЕН, СР встановлює при апаратному перезавантаженні фіксовану сторінку – адресу ПЗП розширення у мікросхемі флеш-пам'яті. СР, блок SWITCH і схема керування логікою роботи плати LOGIC (рис. 2) реалізуються на традиційних мікросхемах або програмованих логічних пристроях PLD (наприклад, Atmel [11]).

Схема LOGIC виробляє сигнали обнулення СР (СР_R) при Reset СШ, запису з шини даних D_{0..7} номера сторінки у СР (СР_W), а також запису (FL1_{WR} і FL2_{WR}) і зчитування (FL1_{RD} і FL2_{RD}), відповідно, першої та другої мікросхем флеш-пам'яті AT29C040А об'ємом 512К кожна [12]. Реалізовані схемою LOGIC сигнали описані наведеними залежностями:

$$FL1_{WR} = F(A) \cup A_{12} \cup SMEMW \cup \overline{A}_{19}, \quad (1)$$

$$FL2_{WR} = F(A) \cup A_{12} \cup SMEMW \cup \overline{A}_{19}, \quad (2)$$

$$FL1_{RD} = F(A) \cup A_{12} \cup SMEMR \cup \overline{A}_{19}, \quad (3)$$

$$FL2_{RD} = F(A) \cup A_{12} \cup SMEMR \cup \overline{A}_{19}, \quad (4)$$

$$CP_W = \overline{(F(A) \cup \overline{A}_{12} \cup SMEMW)}, \quad (5)$$

$$CP_R = \overline{Reset}, \quad (6)$$

де

$$F(A) = S(A_{13}) \cup S(A_{14}) \cup S(A_{15}) \cup S(A_{16}) \cup S(A_{17}) \cup \overline{A_{18}} \cup \overline{A_{19}}, \quad (7)$$

$S(A_{13}) \dots S(A_{17})$ – прями або інверсні адреси, вибір яких визначається блоком SWITCH.

Залежності (1)–(7) наведені для використання ЕН з 8-розрядною шиною даних ISA, для 16-розрядних даних $FL2_{WR}=FL1_{WR}$ і $FL2_{RD}=FL1_{RD}$. Реалізація розділених сигналів керування записом і зчитуванням (замість вибору мікросхем пам'яті CS адресою A'_{19}) зумовлена типовим часом реагування мікросхем AT29C040A різного виконання 120-200 нс після повернення з неактивного стану мікроспоживання, що не прийнятно для деяких моделей IBM PC. Запропонована схема керування пам'яттю скоротила типовий час реагування до 50-80 нс [12]. На адресні входи мікросхем флеш-адреси $A_{0 \dots 11}$ (вибір байта у межах сторінки 4К) надходять безпосередньо з ЦШ, а старші адреси $A_{12 \dots 18}$ - з СР. Запис (з попереднім стиранням) у AT29C040A відбувається поблоково (256 байт), що прийнятно для емуляції блокової дискової системи (розмір сектора 512 байт [10]). При емуляції захищеної від запису дискети доцільне використання флеш-пам'яті AT49F040 [12] з стиранням 512К і наступним побайтовим записом.

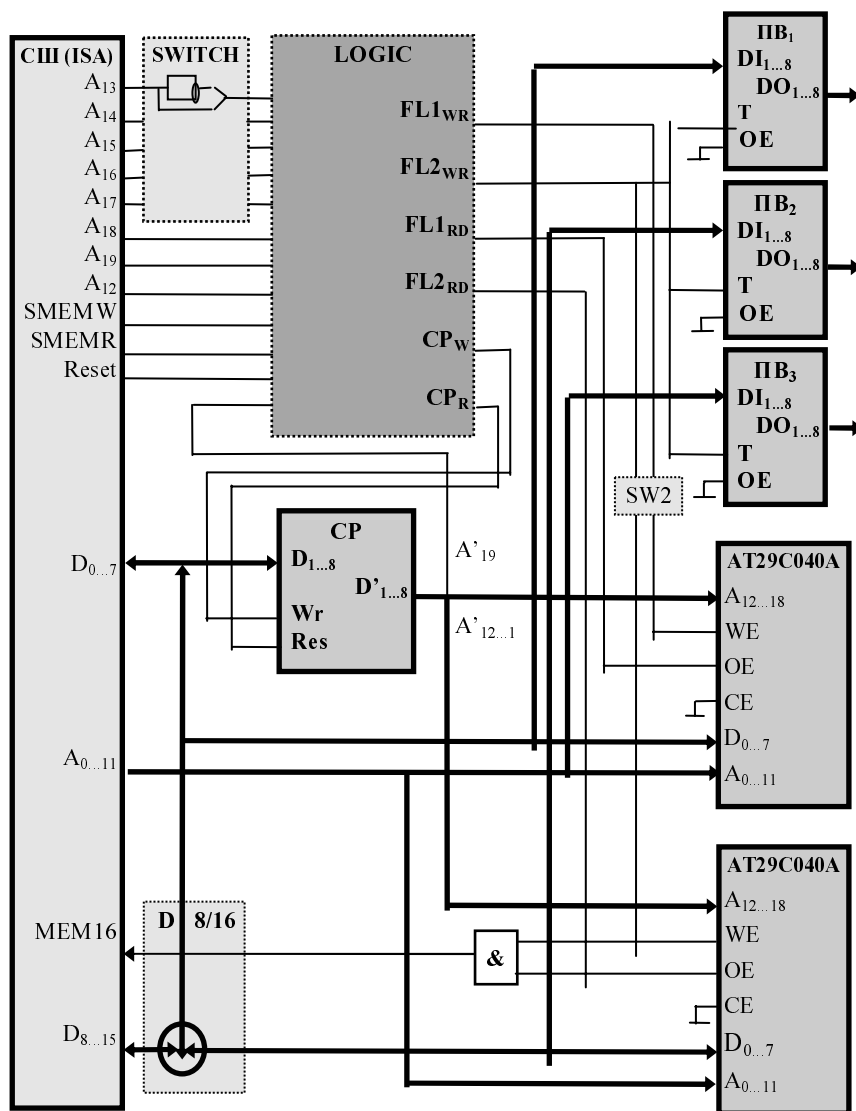


Рис. 2. Структурна схема електронного накопичувача і 24-розрядного порту виведення, відображеного на адресний простір пам'яті IBM PC

Плата ЕН забезпечує максимальну гнучкість вибору конфігурації (використання 512К або 1М, 8- або 16-розрядного обміну даними). Для забезпечення сумісності з 8-розрядним IBM PC XT, а також з контролером на 8x51, передбачено 8-розрядний обмін даними з СШ. При цьому у блоці конфігурування D8/16 (див. рис. 2) входи даних мікросхем пам'яті з'єднані з D_{0...7} СШ. При 16-розрядному обміні дані другої мікросхеми пам'яті перекомутовані на D_{8...15} СШ у блоці D8/16, а плата ЕН додатково генерує сигнал MEM16 для коректної взаємодії з шиною ISA.

Системні файли ОС захищаються від перезапису програмуванням блокування запису у перші 16К мікросхеми AT29C040A після запису даних [12]. При використанні ЕН як емулятора захищеної від запису дискети передбачене встановлення перемикачів SW2 (рис.2) сигналів запису FL1_{WR} і FL2_{WR} на час запису образу дискети спеціальним сервісним ПЗ і подальше їх вимкнення для апаратного запобігання випадковому стиранню.

ПЗ підтримки ЕН поділяється на сервісне і системне. Сервісне ПЗ попередньо форматує дискету об'ємом 508К або 1020К, після цього на неї переносяться всі необхідні системні і прикладні файли, при потребі робиться тестування завантаження комп'ютера з цієї дискети. Сервісне ПЗ записує у флеш-пам'ять ЕН образ дискети і системне ПЗ – драйвер ЕН відповідної структури для забезпечення взаємодії з IBM PC (емулює 6 функцій драйвера диска – скид, отримання статусу, зчитування і запис секторів, верифікацію і форматування [7]).

ЕН забезпечує високу надійність і ресурс роботи (гарантується 10000 перезаписів [12]), низьку вартість (співмірна з вартістю накопичувача на гнучких дисках), простоту обслуговування і підготовки даних, роботу в складних умовах (діапазон температур від -40 до +85°C [11,12]), підвищену захищеність інформації. Нескладна програмно-апаратна модифікація плати ЕН забезпечує емуляцію диска об'ємом до 4М.

24-розрядний порт виведення. Для підвищення максимальної частоти звернення IBM PC до портів виведення (при невисокій пропускній здатності СШ ISA) на платі ЕН (рис. 2) реалізовано 24-розрядний порт виведення, відображений на адресний простір пам'яті. При записі слова у пам'ять молодший і старший байти слова записуються (стробуються сигналом FL2_{WR}) у порти виведення ПВ₁ і ПВ₂, а адреси A_{1...A₈} – у порт ПВ₃ (використання адреси A₀ неможливе через звернення до слова пам'яті лише за парною адресою). Запис у 24-розрядний порт реалізується за один цикл шини ISA, що підвищує швидкість виведення в 3 (або 2) рази порівняно з традиційним записом байта (слова); реальна швидкість залежить від контролера СШ.

Впроваджені СКС. Використання запропонованої плати ЕН (разом з розглянутими у [5, 6]) дозволяє звести побудову більшості СКС на базі IBM PC і контролера на 8x51 [5] до компонування типовими апаратними вузлами і розробки власне прикладного ПЗ. ЕН об'ємом 1М використано для підвищення надійності комп'ютерної системи у ряді банків Тернополя. Використання ЕН підвищує захищеність системи від комп'ютерних вірусів і випадкового стирання інформації. Наявність лише необхідного на робочому місці ПЗ і апаратне блокування запису на системний електронний диск ускладнює можливість зламу системи зловмисниками глобальними і локальними мережами шляхом дистанційної активації резидентних програм-вірусів. Перевагами ЕН є також менші енергоспоживання, час доступу і завантаження, простота обслуговування. Використання ЕН дозволило створити недорогі автономні і мережеві робочі місця з підвищеною надійністю і конфіденційністю транзакцій, забезпечило надійну роботу у пунктах обміну валюти при важких кліматичних умовах на наявному комп'ютерному обладнанні.

Використання плати ЕН у СКС “Басейн” (проведення змагань з водних видів спорту) спорткомплексу ЦСКЗСУ м. Києва дозволило знизити затрати коштів і часу на її проектування. СКС складається з АРМ судді, АРМ оператора табло (на IBM PC) і контролера табло, об'єднаних у мережу Ethernet 10Mbps (рис. 3). Табло складається з 60 пристроїв відображення

інформації “Електроника МС 6208” [13]. Контролер табло (розміщений у приміщенні басейну) виконано на IBM PC (80486) з ЕН для зберігання ОС і прикладного ПЗ. Протокол 23-бітового інтерфейсу табло [13] вимагає періоду звернення 0.5 мкс, що не забезпечується шиною ISA. Тому плата пристрою керування табло (суміщена з ЕН) використовує запропоновану нестандартну реалізацію 24-бітового порту виведення при зверненні до слова в адресному просторі пам’яті IBM PC. Використання плати ЕН дозволило легко інтегрувати контролер (порівняно з розробкою його на спецпроцесорі тощо) з АРМ СКС при забезпеченні необхідних потоків інформації (до 3 Mbps) у мережі Ethernet. Запропоновані інтелектуалізовані комунікаційні драйвери контролера табло і АРМ (виконані як надбудова над протоколом IPX [8]) забезпечують динамічне виведення текстової і графічної інформації, зворотній зв’язок і контроль стану табло з АРМ оператора (ПЗ реалізоване на мові C++) у сусідньому приміщенні, дистанційне керування табло (пріоритетне виведення з АРМ оператора чи судді). Резидентний драйвер (на мові Асемблер) для АРМ судді, який передає копію частини текстового екрану у контролер табло, забезпечив гнучкість розширення ПЗ СКС у майбутньому (створення табло-незалежних програм для АРМ судді з текстовим інтерфейсом на довільній мові програмування).

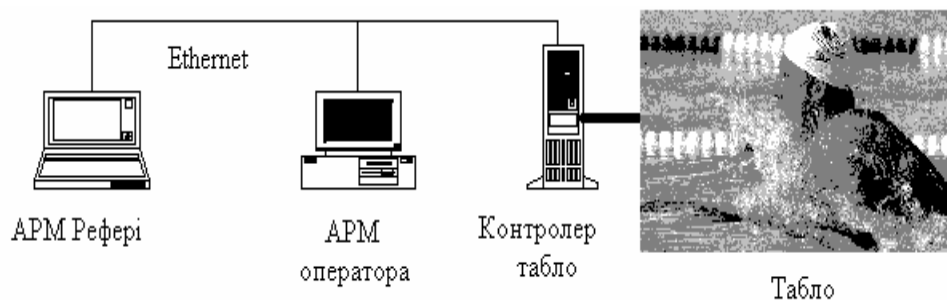


Рис. 3. Структура СКС “Басейн”

Висновки. Виявлені (з використанням пакету оптимізації СКС і методики його використання) і створені оптимізовані вузли (зокрема, плата електронного накопичувача 1М, суміщена з 24-розрядним відображенням на простір пам’яті портом виведення) забезпечили скорочення затрат на створення різних оптимізованих за сукупністю вартісно-функціональних характеристик СКС відкритої архітектури завдяки модульному компонуванню вузлами і розробці прикладних програм. Одночасно впроваджені СКС підтвердили ефективність пакету і методики оптимізації, достовірність закладених експертних оцінок.

1. Мельник А.О., Тарасенко В.П. Сучасні ситуативно-методологічні аспекти створення спеціалізованих комп’ютерних систем // Наукові вісті НТУУ “КПІ”. -1997.- №1. -С.18-21. 2. Тимчишин В.О. Техніко-економічний аналіз шляхів створення мережі інтелектуальних вимірювально-керуючих модулів. Київ, - 1997, № 6. с. 43-51. 3. Кочан В.В., Тимчишин В.О. Особливості застосування методів двокритеріальної оптимізації в пакеті програм дослідження якості комп’ютерних систем // Вісн. ДУ “Львівська політехніка”. - 1998. - № 337. - С. 175-178. 4. Кочан В.В., Тимчишин В.О. Синтез оптимальних структур низьковартісних комп’ютерних систем // Вісн. ДУ “Львівська політехніка”. - 1998. - № 356. - С. 134 -14 4. 5. Васильків Н.М., Кочан В.В., Саченко А.О., Тимчишин В.О. Контролер з дистанційною реконфігурацією для адаптивної вимірювально-керуючої мережі // Вісн. ДУ “Львівська політехніка”. - 1998. - № 350. - С. 13-19. 6. A.Sachenko, V.Tymchyshyn, D.Zhang.

Low Cost Hardware and Software Components for Intelligent Information Control Systems // Preprints of 5th IFAC Symp. on Low Cost Automation (LCA'98). - Shenyang, P.R.China. - 1998. - P. TS9-21 - TS9-26. 7. Бучкин Л.В., Безрукий Ю.Л. Дисковая подсистема IBM-совместимых персональных компьютеров. - М., 1993. 8. Фролов А.В., Фролов Г.В. Локальные сети персональных компьютеров. Монтаж сети, установка программного обеспечения. М., 1994. 9. Гудков Ю.И. Базовые модули обработки информации для портативных контрольно-измерительных устройств / Тез. докл. IX науч.-техн. конф. Датчики и преобразователи информации систем измерения, контроля и управления "Датчик-97" // Под ред. проф. Азарова. - М., 1997. с. 318. 10. Нортон П. Персональный компьютер фирмы IBM и операционная система MS-DOS. - М., 1991. 11. Atmel Products. Programmable Logic Devices: ATF16V8B (pp. 1.7-1.22); ATF16LV8CZ (pp. 1.39-1.40) // www.atmel.com. 12. Atmel Products. Nonvolatile Memory: AT29C040A (pp. 4.165-4.175); AT49F040 (pp. 4.209-4.218) // www.atmel.com. 13. Устройство вывода информации экранное "Электроника МС 6208". Техническое описание и инструкция по эксплуатации.

УДК 621.8:681.5

Ткаченко Р.О., Юрчак І.Ю.
ДУ "Львівська політехніка", кафедра АСУ

ПОБУДОВА ВХІДНОГО ТА ВИХІДНОГО ШАРІВ ШТУЧНИХ НЕЙРОННИХ МЕРЕЖ

© Ткаченко Р.О., Юрчак І.Ю., 2000

Розглядаються питання практичної побудови штучних нейронних мереж на основі моделі ФТФ, попередньої підготовки елементів навчальної множини.

У відомих нейропарадигмах типу "Прямого поширення зі зворотнім поширенням похибки" вихідний шар нейронних елементів (НЕ) будується на основі тих же принципів, що і сховані шари, тобто, вихідними є НЕ з перехідними функціями сигмоїдального виду. При підготовці тренувальних векторів необхідно враховувати обмеження вихідних сигналів НЕ через відповідні перехідні функції, масштабування вихідних сигналів кожного нейрона. Вхідний шар НЕ задається найчастіше як "псевдошар", складається з відповідних елементів, на які покладається функція "кодування", тобто приведення вхідних сигналів до єдиного діапазону, наприклад $-1 \div +1$.

Підходи до побудови ШНМ на основі моделі "Функціонал на множині табличних функцій" (ФТФ) [1] визначаються наявними відмінностями в концепції навчання, зокрема тим що основні функції з опрацювання інформації здійснюють сховані шари нейромережі, для яких ваги синаптичних зв'язків та параметри перехідних функцій визначаються на основі процедури побудови ряду. Елементи вхідного та вихідного шарів відіграють допоміжну роль, тобто варіант ШНМ з лінійним НЕ на вході та виході є придатним для практичного застосування, однак його характеристики, як буде показано, не є оптимальними.

Проаналізуємо необхідні операції попереднього опрацювання даних для навчання нейромережі. Зазначимо, зокрема, що для ШНМ прямого поширення не вводиться жодних обмежень на типи вхідних та вихідних даних. Причому для різних входів та виходів ШНМ