

ОРГАНІЗАЦІЯ КОНТРОЛЮ ТА ДІАГНОСТИКИ ШПФ-СХЕМ У РЕЖИМІ РЕАЛЬНОГО ЧАСУ В СИСТЕМАХ ОПРАЦЮВАННЯ СИГНАЛІВ

© Ваврук Є.Я., 2004

Проаналізовано ефективні методи контролю та діагностики ШПФ-схем, розроблені діагностичні алгоритми.

Effective data verification and diagnostic methods for FFT-networks have been reviewed in this article. Diagnostic algorithm is proposed.

Вступ. Робота сучасних систем опрацювання сигналів (СОС) в режимі реального часу має певні особливості, які пов'язані, насамперед, із складністю алгоритмів, високими вимогами до швидкодії, такту надходження вхідних даних, великими обсягами оброблюваної інформації, складністю використаної елементної бази та умовами експлуатації.

Внаслідок цього під час роботи таких систем виникає певна група відмов, які не є характерними для систем і процесорів інших типів. На пошук і виявлення несправностей в СОС впливають такі фактори:

- накопичення помилок при переході від одного етапу обчислень до іншого;
- складність визначення моменту і місця виникнення несправності (зумовлені, насамперед, високою швидкістю і великим обсягом інформації, яка надходить);
- складність спряження реальних потоків даних і виникнення завад у лініях зв'язку (швидкодіючі системи можуть бути несправними і при працюючих складових частинах).

Враховуючи, що для більшості керуючих комплексів, до складу яких входять СОС, навіть випадкові збої та помилки можуть привести до фатальних наслідків, проблема діагностики і контролю таких систем є актуальною задачею.

Хоча більшість алгоритмів опрацювання сигналів можна подати у формалізованому вигляді, сьогодні не існує однотипних підходів щодо діагностики і контролю відповідних структур. Дослідниками [1, 2] здебільшого розглядаються задачі контролю і діагностики тільки окремих груп алгоритмів і їх апаратної реалізації. Оскільки при опрацюванні сигналів алгоритм швидкого перетворення Фур'є (ШПФ) використовується досить часто, і підходи до контролю та діагностики ШПФ-схем можна використати для реалізації схем інших ортогональних перетворень, доцільно розглянути цей клас алгоритмів та схем.

Сучасні методи контролю і діагностики ШПФ-схем. Відомо, що для контролю і діагностики вузлів цифрової обробки використовуються апаратні та програмні засоби, внутрішній контроль та зовнішня контрольна-діагностична апаратура. Причому кожен з методів має певні особливості і свою сферу застосувань, головними завданнями при їх використанні в СОС є [3]:

- забезпечення контролю і діагностики в режимі реального часу;
- введення мінімальних додаткових діагностичних і контролюючих апаратних засобів;
- забезпечення перевірки вхідних та вихідних сигналів;
- забезпечення контролю і діагностики апаратури у важких (промислових) умовах експлуатації.

Враховуючи це, для перевірки ШПФ-схем у складі систем необхідно використовувати поєднання різних методів, а саме вбудованого апаратного контролю, зовнішньої тестової діагностики як самих ШПФ-схем, так і ШПФ-схем у складі системи. Процедури вбудованого контролю вузлів ШПФ ґрунтуються на введенні додаткових апаратних вузлів всередину схеми, реалізованої

на ІС високого ступеня інтеграції, або у програмовану НВІС, на якій реалізована схема ШПФ [4]. У більшості випадків ці схеми контролю забезпечують 100 % здатність виявлення помилки при значних додаткових апаратних затратах. Тому ці методи використовуються тільки для виконання задач спеціального призначення у відмовостійких системах. Для більшості систем використовуються методи, які ґрунтуються на генерації кодових послідовностей, наприклад, на генеруванні контрольної суми [5]. В [6] розроблений великий клас алгоритмів тестування, які базуються на псевдовипадковій стратегії, але не можуть забезпечити 100 % виявлення помилок. Автономний псевдовичерпний підхід [7] забезпечує виявленням всіх помилок; при контролі результатів тестування зовнішнім пристроєм. Перспективними є методи автономного визначення помилок, які базуються на підході “проекування для забезпечення тестування”. В одних з них тестуються тільки функціональні арифметичні пристрої, але не перевіряються шляхи передачі даних. Інші методи базуються на підході тестування повторювальними логічними масивами, що вимагає додаткових затрат апаратури.

Як показує аналіз, наведені вище методи здебільшого орієнтовані на покращання надійності схем ШПФ на найнижчому ієрархічному рівні (“метелик”, окремі вузли схеми) без врахування особливостей реалізації алгоритму ШПФ і структури системи опрацювання. Необхідно відзначити, що при контролі схем ШПФ бажано не змінювати конфігурації архітектури графу ШПФ. У цьому аспекті доцільно порівняти ефективність використання алгоритму генерації тестових послідовностей, далі – *Алгоритм 1*, із запропонованим нижче алгоритмом аналізу амплітудно-частотної характеристики (АЧХ), далі – *Алгоритм 2*.

Постановка задачі. Практично визначити ефективність засобів контролю і діагностики схем ШПФ доцільно тільки для конкретної системи опрацювання. Причому необхідно враховувати, що у більшості систем вузли ШПФ конструктивно розміщені разом з іншими функціональними вузлами. Тому перевірка тільки одного елемента системи (наприклад, вузла ШПФ) ускладнюється через необхідність введення комутаційних елементів, елементів зберігання тестових масивів і вузлів аналізу результату. Зрозуміло, що заміна окремих діагностичних перевірок комплексною перевіркою з приблизно однаковою ефективністю повинна зменшити апаратні затрати на реалізацію вузлів контролю та діагностики.

У цьому аспекті розглянемо узагальнену блок-схему системи опрацювання сигналів (рис. 1), де

- ППОС – процесор попереднього опрацювання сигналів;
- ПОС – процесор опрацювання сигналів (основний вузол – ШПФ);
- ВЗД – вузол зберігання даних;
- ПК – процесор керування;
- КППД – канал приймання – передачі даних.

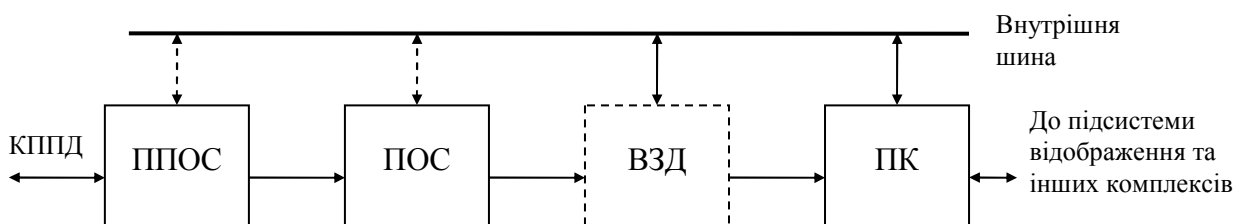


Рис. 1. Узагальнена блок-схема системи опрацювання сигналів

До каналу КППД під’єднуються давачі, виконавчі механізми різних типів тощо. По внутрішній шині задаються сигнали керування, сигнали синхронізації (на рівні задання задач, режимів роботи). Пунктирною лінією на рис. 1 наведено вузли і зв’язки, які використовуються не у всіх системах.

Напрямок досліджень є забезпечення контролю та діагностики ШПФ-схем у конфігурації системи.

Розробка алгоритмів контролю і діагностики. Алгоритм 1. Використовується для побудови самотестуючих архітектур ШПФ-схем.

Відомо, що ШПФ-схеми мають $\log_2 N$ ступенів, індексованих через s , де $0 \leq s < \log_2 N$, N – розмірність перетворення. Кожний ступінь має $N/2$ модулів типу “метелик” (ВМ). На рис. 1 наведено схему “метелика” з позначеними місцями можливого розташування функціональних помилок.

На рис. 2 показано входи (A, B), виходи (Y, Z), повертаючий (W) множник $W_N^{nk} = e^{-j\frac{2\pi}{N}nk}$, тестові значення a , b і w , значення виходів y , z при надходженні тестових значень a і b для конкретного ВМ.

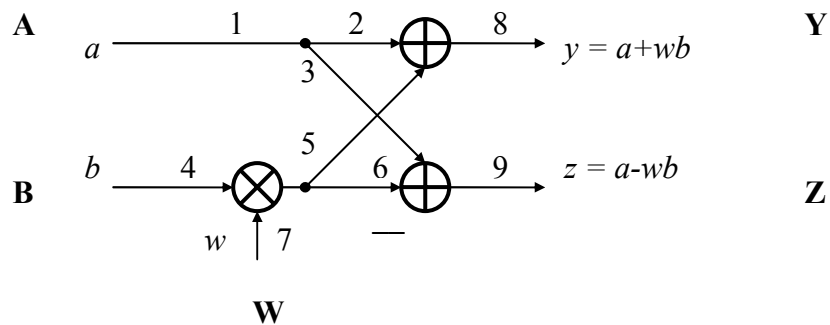


Рис. 2. Схема ВМ з місцями розташування функціональних помилок

Як видно з рис. 2, є дев'ять помилок, які можуть моделюватися різними способами, наприклад, неправильна робота суматорів може бути змодельована як навмисні помилки на вихідних лініях цих суматорів. Помилки розрізнені чотирма еквівалентними множинами помилок: $\{1\}$, $\{4,7\}$, $\{2,5,8\}$ та $\{3,6,9\}$, причому дві помилки не можуть бути розрізнені, якщо вони знаходяться у тій самій еквівалентній множині.

Визначаючи ВМ, через множину T -пар тестових входів a_j та b_j , $0 < j \leq T$, повинні бути отримані усі помилки, які можна визначити. У будь-якому ШПФ-графі можна позначити вхідні з'єднання етапу s через $i^{(s)}$, а через $i^{(n)}$ – вихідні з'єднання. Назвемо множину із N вхідних елементів на з'єднаннях $i^{(0)} \in \{0, 1, \dots, N-1\}$ вхідним (тестовим) вектором.

Метою тестової процедури є застосування усіх тестових слів до кожного ВМ без зміни топології мережі, причому усі $N/2$ ВМ етапи тестуються одночасно одним тестом.

Визначення 1: Якщо на будь-якому етапі $s-1$ значення a використовується на вході з індексом $i^{(s-1)}$, $i^{(s-1)} \oplus 2^{n-s-2} = 0$, та значення 0 застосовується на іншому вході з індексом $i^{(s-1)} = i^{(s-1)} + 2^{n-s-2}$, тоді на етапі s входи з індексами $i^{(s)} = i^{(s-1)}$ та $i^{(s)} = i^{(s-1)} + 2^{n-s-2}$ матимуть значення a .

Відповідно до цього сформулюємо лему.

Лема 1: Якщо подати на вхід значення a з індексом $i^{(0)} = k$ із індексом бітів $i_{n-1} = \dots = i_{n-s} = 0$ та значення 0 на усі входи з індексами $i^{(0)} = k + l \cdot 2^{n-s}$, $1 \leq l < 2^s$ тоді на етапі s значення на входах з індексами $i^{(s)} = k + l \cdot 2^{n-s}$, $0 \leq l < 2^s$ будуть усі рівні a .

Доведення: Для проходження етапу 0 значення a з індексом $i^{(0)} = k$ має бути 0 (визначення 1). Результат (в значенні a) буде на входах з $i^{(1)} \in \{k, k + 2^{n-1}\}$. Для проходження етапу 1 значення 0 будуть на входах $i^{(1)} \in \{k + 2^{n-2}, k + 2^{n-1} + 2^{n-2}\}$. Це реалізується за допомогою значень 0 в $i^{(0)} \in \{k + 2^{n-2}, k + 2^{n-1} + 2^{n-2}\}$. Лему доведено. Зазначимо, що $i^{(0)} < 2^{n-s}$, оскільки значення 0 вимагається в $i^{(0)} = k + 2^{n-s-1}$.

Наслідок 1: Якщо ненульові значення використані в $0 \leq i^{(0)} < 2^{n-s}$, а нульові значення використано на інших входах, то усі входи етапу s мають ненульові значення. Тепер, коли відомо як ненульові слова даних розповсюджуються через ШПФ-схему, можна сформулювати таку лему: які стани потрібні входам для тестування усіх ВМ на етапі s .

Лема 2: Усі ВМ етапу s отримують значення a та b , коли a - та b -слова є визначеними на входах $i^{(0)}$, як подано у таблиці.

Значення слів даних

Індекс	Слово даних
$0 \leq i^{(0)} < 2^{n-s-1}$	A
$2^{n-i-1} \leq i^{(0)} < 2^{n-s}$	B
$2^{n-s} \leq i^{(0)} < 2^n$	0

Доведення: Відповідно до наслідку 1 усі VMs на етапі s отримують ненульові входи. Ненульові входи в $0 \leq i^{(0)} < i^{(0)} < 2^{n-s}$ відрізняються, якщо $i^{(0)}$ та $i^{(0)}$ відрізняються на біт i_{n-s-1} . Отже, значення на входах, індекси яких відрізняються на біт i_{n-s-1} , є різними (тобто a та b), і отже, тип біжучого тесту також є різним.

Доведемо так теорему.

Теорема: Усі ШПФ-схеми можуть бути протестовані даними a чи b за допомогою $\log_2 N$ тестів.

Доведення: Витікає з леми 2, що усі VMs окремого етапу можуть бути протестовані відповідно до будь-яких слів даних a та b . Отже, $\log_2 N$ тестів є достатньо для тестування цілої схеми.

Запропонована тестова процедура добре реалізується як вбудований тест. Для зменшення генерування обсягів тестової інформації доцільно використовувати деревоподібну архітектуру.

Алгоритм 2. Визначимо поняття АЧХ. Відомо, що алгоритм ШПФ належить до класу лінійних ортогональних перетворень, зв'язаних з обчисленням виразів типу:

$$\mathbf{X} = \frac{1}{L} \mathbf{A} \mathbf{x},$$

де $\mathbf{X} = [X(0), X(1), \dots, X(L-1)]^T$, $\mathbf{x} = [x(0), x(1), \dots, x(L-1)]^T$ – вектори, відповідно, вихідних гармонік і початкових відліків, \mathbf{A} – відтворююча ортогональна матриця розміром $L \times L$, L – кількість початкових відліків.

Системи, що реалізують ці алгоритми, належать до стаціонарних систем з частотним коефіцієнтом передачі $K(j\omega)$:

$$K(j\omega) = \int_{-\infty}^{\infty} h(t) e^{-j\omega t} dt,$$

де $h(t)$ – імпульсна характеристика, що має таку інтерпретацію: якщо на вхід системи надходить гармонійний сигнал з відомою частотою ω і комплексною амплітудою $\dot{U}_{вх}$, то комплексна амплітуда вихідного сигналу $\dot{U}_{вих}$ буде дорівнювати:

$$\dot{U}_{вих} = \dot{K}(j\omega) \dot{U}_{вх}. \quad (1)$$

Представлення частотного коефіцієнта передачі (1) в показниковій формі має вигляд:

$$K(j\omega) = |K(j\omega)| e^{j\varphi_k \omega},$$

де $|K(j\omega)|$ – АЧХ.

Розглянемо процедуру діагностики схеми ШПФ на прикладі системи опрацювання сигналів когерентно-імпульсної РЛС, де для вимірювання доплерівської частоти використовується n каналів з погодженими фільтрами. Нехай процесор виконує N -точкове амплітудне дискретне перетворення Фур'є згідно з формулою (2)

$$Y(n, l) = \sum_{i=0}^{N-1} \dot{U}(n, i) W(i) e^{-j(2\pi/N)li}, \quad (2)$$

де N визначає розмірність перетворення, n – номер елемента віддалі, l – номер гармоніки, i – номер періоду повторення в межах інтервалу обчислення ДПФ, $W(i)$ вагова функція. Вхідний сигнал $\dot{U}_{(n,i)}$ подамо у вигляді:

$$\dot{U}_{(n,i)} = Ae^{+j2\pi(Sl+Q)i/SN}, \quad (3)$$

де A – амплітуда сигналу, S – кількість частотних діапазонів між сусідніми l , Q – визначає смугу перевірки АЧХ ($Q = -[S_{m-1} + S_i], [S_{p-1} + S_i]$, де m, p – кількість гармонік, в діапазоні яких (відносно l) перевіряється АЧХ, $m = \overline{1, N-1}$, $p = \overline{1, N-1}$, s_i – поточне значення частотного діапазону між сусідніми l).

Алгоритм формування вхідних даних полягає у видачі на кожному етапі обчислень синфазної і квадратурної складових комплексного сигналу, фаза яких визначається на значення Q на двох сусідніх періодах, на кожному з яких вираховується одне значення $U(i)$.

Процедура діагностики відбувається так. Для процесора задається значення гармоніки l_j . На інформаційні входи надходить вхідний сигнал $\dot{U}_{(n,i)}$. Зміна значень $\dot{U}_{(n,i)}$ (синфазна і квадратурна складові) на вході процесора відбувається на кожному періоді повторення (по i). Одне значення $Y(n,l)$ визначається підсумовуванням по i (2). Після того змінюється частота надходження $\dot{U}_{(n,i)}$, зміна задається значенням $s_i = \overline{0, S}$ і вираховується таке значення $Y(n,l)$. Повна АЧХ для заданого l_j отримується після надходження на вхід $S \cdot N$ значень вхідного сигналу. На практиці обмежуються перевіркою АЧХ для $\pm 3l$ відносно l_j . Після перевірки амплітудно-частотних характеристик для всіх гармонік і елементів віддалі діагностика закінчується. В ідеальному випадку характеристики всіх АЧХ повинні бути ідентичними.

Реалізація апаратних засобів генерування тестових послідовностей. При реалізації запропонованих методів, в системі (рис. 1) на входи ПОС надходить інформація з генератора тестових сигналів (ГТС), а не з виходів з ППОС. Аналіз результатів здійснюється в ПК. Фрагмент блок-схеми з елементами діагностики наведений на рис. 3. Сигнали синхронізації (супроводження інформації) забезпечують передачу даних в ПОС з ГТС в реальному режимі часу.

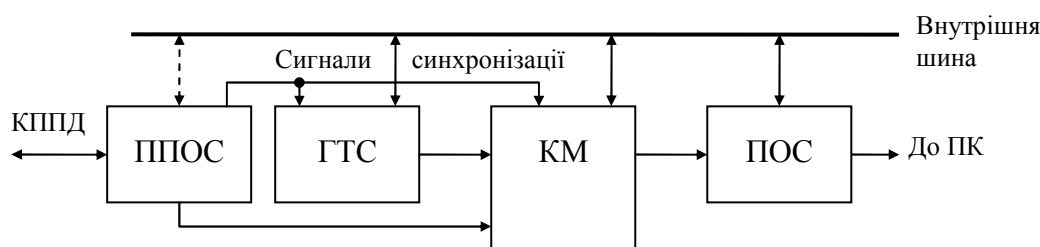


Рис. 3. Фрагмент блок-схеми системи опрацювання сигналів

На основі наведених алгоритмів і з врахуванням схеми на рис. 3 були розроблені вузли генерації тестових послідовностей, апаратні затрати яких становлять:

Алгоритм 1 – $2T$ елементів пам'яті, $n-1$ регістрів зсуву та W -бітних елементів І, $n+1$ W -бітних елементів АБО. На основі алгоритму 1 розроблена схема генерування направленої контрольної суми, апаратні затрати якої становлять: помножувачі – $N/2$, додавачі – $N-1$, компаратори – 1, елементи пам'яті – $T \log_2 N$.

Алгоритм 2 – регістр, 2 лічильники, 3 вузла множення, вузол пам'яті, суматор, тригер.

Висновки. 1. Для забезпечення контролю і діагностики системи опрацювання сигналів (в частині ШПФ-схем) у режимі реального часу необхідно вводити до складу схеми ШПФ-вузол

внутрішнього апаратного контролю. Алгоритм 1 доцільно використовувати для контролю і діагностики автономних схем ШПФ, алгоритм для перевірки схем ШПФ у складі системи.

2. Застосування підходу за алгоритмом 2 дає змогу:

- виявити помилки у роботі з точністю до функціонального вузла, конструктивні та технологічні помилки під час проектування цифрових вузлів тощо;
- перевірити правильність функціонування і рівень шумів зовнішніх відносно ПОС пристроїв;
- оцінити вплив різних типів вагових функцій на значення вихідного сигналу;
- перевірити в режимі реального часу значення інформації, що надходить на вхід системи опрацювання;
- перевірити точнісні параметри роботи процесорів;
- перевірити реакцію ПОС на надходження збійної інформації.

1. Jun-Fu Li, Cheng-Wen Lu. *Efficient FFT network testing and diagnostic schemes // IEEE Trans. VLSI Syst.* – June 2002. – Vol. 10. – P. 267–278, 2. Jun-Fu Li, Shyue-Kung Lu, Shih-Arn Hwang, Cheng-Wen Lu. *Easily Testable and fault-tolerant FFT butterfly network // IEEE Trans. on circuits and systems.* – Sept. 2000. – Vol. 47. – P. 919–929. 3. Бондарев В.Н., Трестер Г., Чернега В.С. *Цифровая обработка сигналов: методы и средства: Учеб. пособие для вузов.* – 2-е изд. – Харьков: Конус, 2001. – 398 с. 4. Jain V.K., Al-Arian S.A., Landis D.L., and Nienbaus H.A. *Fully parallel and testable WSI architecture for an FFT-processor // Intern. Journ. Of Computer Aided VLSI Design.* – 1991. – Vol. 3. – P. 113–135. 5. Oh C.G., Youn H.Y., and Raj. V.K. *An efficient algorithm-based concurrent error detection for FFTnetwork // IEEE Trans Computer.* – Sept. 1995. – Vol. 44. – P. 1157–1162. 6. Yamashita K., Kanasugi A., and Goto G. *A wafe-scale 100 000-gate FFT processor with built-in test circuit // IEEE Journ.of Solid-State Citcuits.* – 1988. – Vol. 23. – P. 336–342, 7. Antola A., Sami M.G., Sciuto D. *Testing approaches for flowgraph-derived FFT arrays // Int.Conf. jn Systolic Arrays, KillarneyIreland.* – 1989. – P. 325–334.

УДК 621.383

Є.Я. Ваврук, Є.Г. Міюшкович

Національний університет “Львівська політехніка”,
кафедра електронних обчислювальних машин

ДЕЯКІ АСПЕКТИ ФІЛЬТРАЦІЇ СТЕГОЗОБРАЖЕНЬ В КОМП’ЮТЕРНИХ МЕРЕЖАХ

© Ваврук Є.Я., Міюшкович Є.Г., 2004

Описано розроблені структурні схеми системи стегафільтрації цифрових зображень.

Developed structures of digital images stegofiltering system is circumscribed.

1. Постановка проблеми. Однією із складових політики інформаційної безпеки в сучасній обчислювальній системі є виявлення та ліквідація прихованих каналів витоку інформації. Згідно з [1] ефективним шляхом утворення прихованих каналів передачі даних є використання комп’ютерної стегаграфії, методами та засобами якої забезпечується непомітна передача одних бітових послідовностей (файлів, секретних повідомлень) в інших бітових послідовностях (файлах-носіях, контейнерах).

Протилежним за метою, напрямком є стегааналіз, головними завданнями якого є виявлення, читання, модифікація або знищення секретного повідомлення в об’єкті-контейнері.

Як контейнери в комп’ютерній стегаграфії найчастіше застосовують об’єкти, що мають аналогову природу – оцифровані зображення, звук та відео. Тут під поняттям контейнера будемо