

**СТРУКТУРНА ОРГАНІЗАЦІЯ ПАРАЛЕЛЬНОЇ ПАМ'ЯТІ
З ЗМІННИМ ВПОРЯДКОВАНИМ ДОСТУПОМ
ТА ЇЇ РЕАЛІЗАЦІЯ В ПЛІС**

© В. Мельник, 2012.

В статті наведено класифікаційні ознаки пам'яті з впорядкованим доступом та запропоновано на їх основі реалізацію в ПЛІС паралельної пам'яті з змінним впорядкованим доступом. Розроблено програмну модель цієї пам'яті, проведено моделювання її роботи та виконано її синтез. Наведено результати реалізації цієї пам'яті в ПЛІС фірми Xilinx.

Ключові слова: паралельна пам'ять, багатопортова пам'ять, пам'ять з впорядкованим доступом, ПЛІС.

Classification features of the ordered access memory are shown, and an implementation in FPGA on their basis of the parallel changeable-ordered access memory (PCOAM) is presented. A PCOAM soft-core is developed, a modeling of its work and its synthesis are performed. Synthesis results of the PCOAM in Xilinx FPGA are shown.

Key words: parallel memory, multi-port memory, ordered access memory, FPGA.

Вступ

В роботах [1-4] запропоновано методи побудови та структурну організацію пам'яті з впорядкованим доступом (ПВД). Пам'ять з впорядкованим доступом орієнтована на роботу з масивами даних. В цій пам'яті забезпечується доступ до даних у наперед встановленому порядку, що вказує місце даного у вихідному масиві.

Вхідні дані записують до ПВД з l портів рядками матриці

$$\begin{pmatrix} ID_{0,0} & ID_{0,1} & \dots & ID_{0,l-1} \\ ID_{1,0} & ID_{1,1} & \dots & ID_{1,l-1} \\ \dots & \dots & \dots & \dots \\ ID_{k-1,0} & ID_{k-1,1} & \dots & ID_{k-1,l-1} \end{pmatrix}, \quad (1)$$

де $ID_{i,j}$ – вхідне дане, яке знаходиться в i -му рядку ($i = 0, 1, \dots, k-1$) та j -му стовпці ($j = 0, 1, \dots, l-1$) матриці вхідних даних.

Вихідні дані зчитують з ПВД на n портів рядками матриці

$$\begin{pmatrix} OD_{0,0} & OD_{0,1} & \dots & OD_{0,n-1} \\ OD_{1,0} & OD_{1,1} & \dots & OD_{1,n-1} \\ \dots & \dots & \dots & \dots \\ OD_{m-1,0} & OD_{m-1,1} & \dots & OD_{m-1,n-1} \end{pmatrix}, \quad (2)$$

де $OD_{s,t}$ – вихідне дане, яке знаходиться в s -му рядку ($s = 0, 1, \dots, m-1$) та t -му стовпці ($t = 0, 1, \dots, n-1$) матриці вихідних даних.

Матриця індексів, які привласнюють кожному даному, та за їх значенням впорядковують дані, має вигляд

$$\begin{pmatrix} SID_{0,0} & SID_{0,1} & \dots & SID_{0,l-1} \\ SID_{1,0} & SID_{1,1} & \dots & SID_{1,l-1} \\ \dots & \dots & \dots & \dots \\ SID_{k-1,0} & SID_{k-1,1} & \dots & SID_{k-1,l-1} \end{pmatrix}, \quad (3)$$

де $SID_{i,j}$ – індекс вхідного даного $ID_{i,j}$, яке знаходиться в i -му рядку ($i = 0,1,\dots,k-1$) та j -му стовпці ($j = 0,1,\dots,l-1$) матриці вхідних даних.

Матриця індексів може надходити до ПВД разом з даними, або на її основі заздалегідь формують код впорядкування, який разом з даними також подають до ПВД.

Пам'ять з впорядкованим доступом є багатопортовою. Вона забезпечує: запис даних з портів, зберігання записаних даних, впорядкування записаних даних відповідно до числових значень індексів, які поступають з даними та визначають їх місце в масиві вихідних даних, або відповідно до числового значення коду впорядкування, зчитування впорядкованих даних на порти.

ПВД може використовуватися як буферна багатопортова пам'ять, багатопортова пам'ять процесора, багатопортова пам'ять багатопроцесорної системи тощо. При цьому місце застосування ПВД визначається її класифікаційними ознаками, зокрема, наступними:

- розділені чи об'єднані входи і виходи даних;
- паралельне чи послідовне надходження даних та індексів або коду впорядкування, що передбачає налаштування ПВД перед виконанням впорядкування даних;
- впорядкування даних здійснюється за значенням їх індексів чи за кодом впорядкування.

Відповідно до цих ознак можна запропонувати ряд типів пам'яті з впорядкованим доступом, серед яких – пам'ять з змінним впорядкованим доступом.

В даній статті пропонується реалізація в програмовних логічних інтегральних схемах (ПЛІС) паралельної пам'яті з змінним впорядкованим доступом, наводиться її структура, виконується її моделювання та робиться оцінка результатів її синтезу.

1. Паралельна пам'ять з змінним впорядкованим доступом та опис її інтерфейсу

Пам'ять з змінним впорядкованим доступом використовується для впорядкування даних в блоках одного розміру, рівного її ємності. Пам'ять є паралельною, оскільки в режимі запису дозволяє одночасно записувати l даних, що складають рядок матриці вхідних даних, а також в режимі зчитування одночасно зчитувати n даних, що складають рядок матриці вихідних даних.

Впорядкування даних у цій пам'яті виконується згідно з кодом впорядкування S , який заздалегідь визначають з матриці індексів шляхом проведення розрахунків чи моделювання, та подають на входи пам'яті ззовні разом з даними. Код впорядкування налаштовує внутрішню структуру пам'яті таким чином, щоб забезпечити потрібний порядок розміщення даних у матриці вихідних даних.

Інтерфейс паралельної пам'яті з змінним впорядкованим доступом (рис.1) має l входів та n виходів даних. Тут зображено два варіанти цього типу ПВД – з розділеними (праворуч) та об'єднаними (ліворуч) входами та виходами даних. Зважаючи на подібність зовнішніх інтерфейсів та внутрішньої структури наведених типів ПВД, в даній статті обмежимося реалізацією паралельної пам'яті з змінним впорядкованим доступом з розділеними входами і виходами даних.

При розробленні ПВД постає завдання вибору її характеристик, а саме:

- кількості входів даних, що дорівнює кількості стовбців l в матриці вхідних даних;

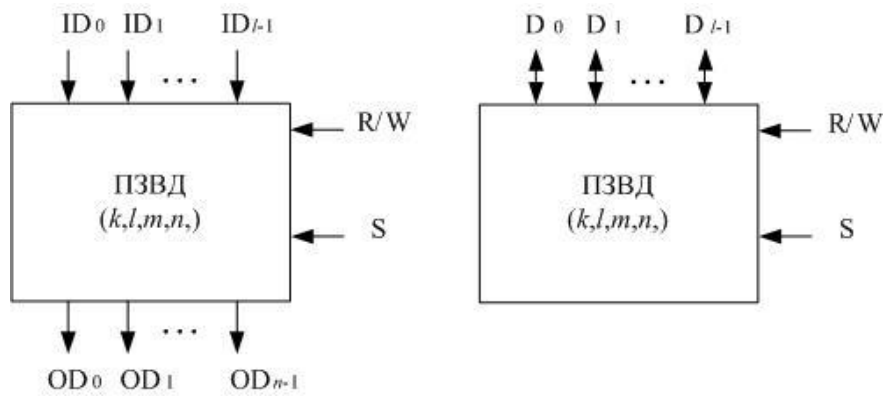


Рис.1. Інтерфейс паралельної пам'яті з змінним впорядкованим доступом з розділеними та об'єднаними входами і виходами даних.

- часу введення даних T_{in} , який можна визначити як $T_{in} = k \cdot t_{clk}$, де k – кількість рядків в матриці вхідних даних, яка відповідає кількості тактів запису даних до ПВД, t_{clk} – тривалість такту читання/запису даних в ПВД;
- кількості виходів даних, що дорівнює кількості стовбців n в матриці вихідних даних;
- часу виведення даних T_{out} , який можна визначити як $T_{out} = m \cdot t_{clk}$, де m – кількість рядків в матриці вихідних даних, яка відповідає кількості тактів читання даних з ПВД, t_{clk} – тривалість такту читання/запису даних в ПВД;
- розрядності даних N ;
- ємності, яка рівна $Q = (k \cdot l = m \cdot n) \cdot N$.

З метою перевірки робоздатності при забезпеченні простоти виконання моделювання та синтезу паралельної пам'яті з змінним впорядкованим доступом було вибрано наступні її характеристики: $l = 4$, $m = 4$, $k = 2$, $n = 2$, розрядність даних $N = 8$ бітів, ємність $Q = 64$ біти. Розрядність коду впорядкування S визначено з виразу $S = \log_2(q!) = 16$, де q – кількість елементів матриці індексів. Опис мовою VHDL інтерфейсу паралельної пам'яті з змінним впорядкованим доступом наведено на рис.2(a).

```

ENTITY pzvd IS
  PORT (
    D_in_0 : in std_logic_vector (7 downto 0);
    D_in_1 : in std_logic_vector (7 downto 0);
    D_in_2 : in std_logic_vector (7 downto 0);
    D_in_3 : in std_logic_vector (7 downto 0);

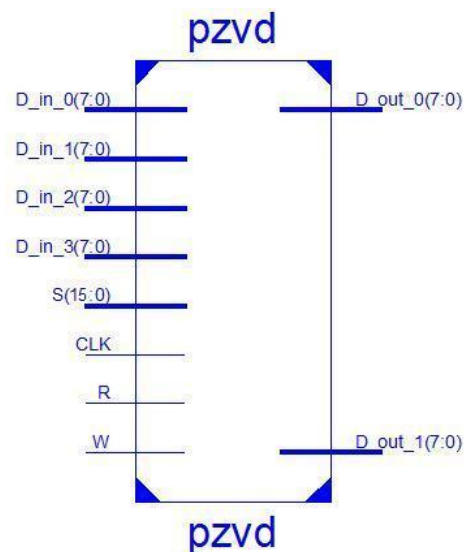
    S      : in std_logic_vector (15 downto 0);

    CLK    : in std_logic;
    W      : in std_logic;
    R      : in std_logic;

    D_out_0 : out std_logic_vector (7 downto 0);
    D_out_1 : out std_logic_vector (7 downto 0)
  );
END pzvd ;

```

a



б

Рис.2. Опис мовою VHDL (а) та графічне позначення (б) інтерфейсу паралельної пам'яті з змінним впорядкованим доступом.

На основі цього опису з використанням середовища проектування Xilinx ISE 13.2 було виконано синтез паралельної пам'яті з змінним впорядкованим доступом, графічне позначення інтерфейсу якої показано на рис.2(б). Тут $D_{in_0} - D_{in_3}$ – чотири вхідні порти восьмирозрядних даних, S – вхід коду впорядкування даних, W – сигнал запису даних, R – сигнал читання даних, D_{out_0}, D_{out_1} – два вихідні порти впорядкованих восьмирозрядних даних, CLK – сигнал синхронізації.

2. Архітектурний опис паралельної пам'яті з змінним впорядкованим доступом

У загальному випадку, коли до ПЗВД записується матриця $k \cdot l$ даних і з її виходу зчитується матриця $m \cdot n$ даних, структура ПЗВД має вигляд, показаний на рис.3.

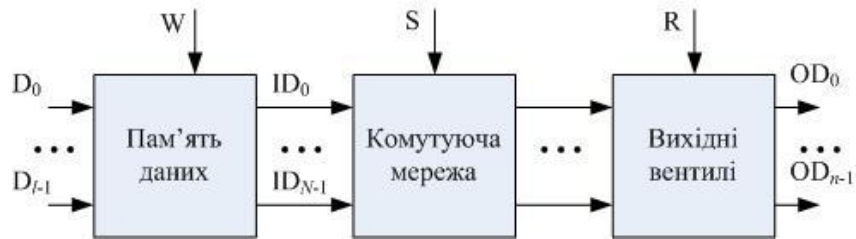


Рис.3. Узагальнена структура паралельної пам'яті з змінним впорядкованим доступом.

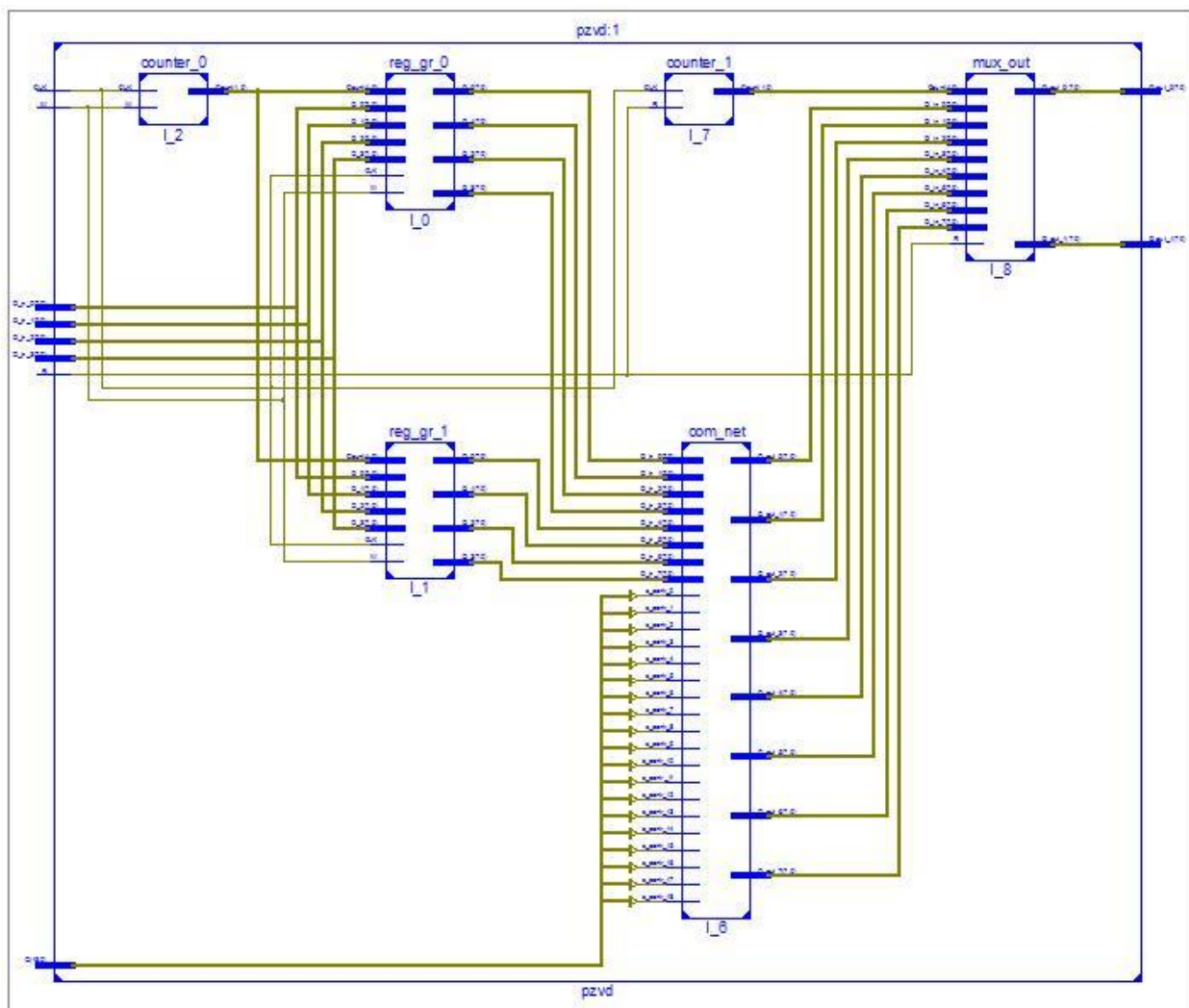


Рис.4. Структура паралельної пам'яті з змінним впорядкованим доступом, отримана в результаті синтезу засобами Xilinx ISE 13.2.

ПЗВД містить пам'ять для зберігання даних, до якої дані записують групами, а після того проводиться впорядкування даних за значенням коду впорядкування, використовуючи комутуючу мережу. Вхідні дані записуються до пам'яті у відповідні комірки сигналом запису W. В комутуючій мережі здійснюється впорядкування даних з пам'яті даних відповідно до значення коду впорядкування. З ПЗВД одночасно зчитують *n* чисел, для чого на її виході встановлено вихідні вентиля. З виходів цих вентилів вихідні дані при надходженні сигналу зчитування R будуть подані на відповідну вихідну шину.

На рис.4 наведено схему паралельної пам'яті з змінним впорядкованим доступом, синтезовану з архітектурного опису мовою VHDL в програмному середовищі Xilinx ISE 13.2. Відповідно до схемотехнічних рішень, запропонованих в роботі [1], головними складовими блоками синтезованої паралельної ПЗВД, наведеної на рис.4, є: запам'ятовуюче середовище даних, побудоване на основі регістрів, комутуюча мережа, лічильник запису, лічильник читання та модуль видачі результатів.

3. Моделювання роботи паралельної пам'яті з змінним впорядкованим доступом

Часова діаграма роботи паралельної пам'яті з змінним впорядкованим доступом наведена на рис.5. На діаграмі показано процес запису до ПЗВД матриці вхідних даних

$$\begin{vmatrix} 06 & 05 & 02 & 0A \\ 0D & 01 & 05 & 15 \end{vmatrix} \quad (4)$$

та коду впорядкування «6A75», який впорядковує ці дані відповідно до матриці їх індексів

$$\begin{vmatrix} 2 & 6 & 4 & 0 \\ 1 & 7 & 5 & 3 \end{vmatrix}, \quad (5)$$

та процес зчитування матриці вихідних даних

$$\begin{vmatrix} 01 & 05 \\ 05 & 02 \\ 15 & 06 \\ 0D & 0A \end{vmatrix}, \quad (6)$$

впорядкованих в ПЗВД відповідно до значення коду впорядкування.

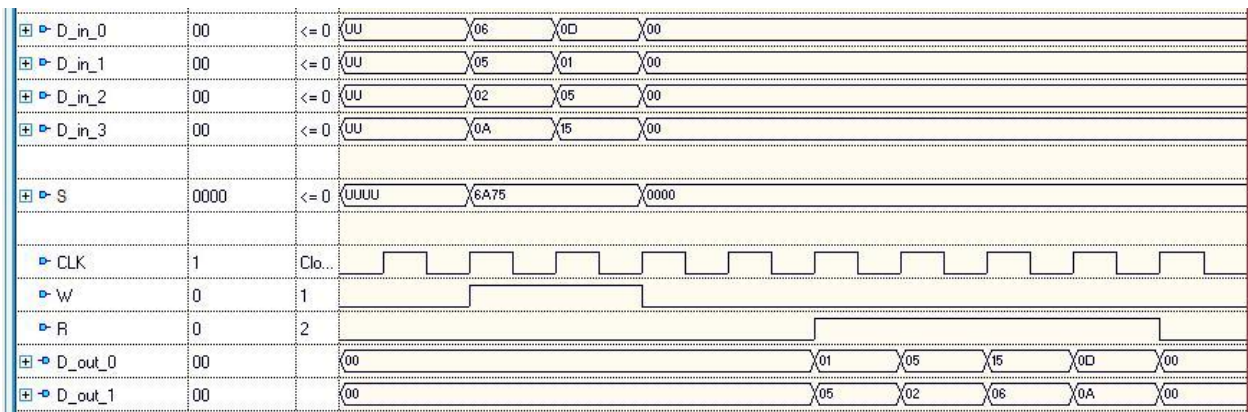


Рис.5. Часова діаграма роботи паралельної пам'яті з змінним впорядкованим доступом.

З часової діаграми видно відповідність роботи даної ПЗВД запропонованим в роботах [1-4] принципам.

4. Реалізація в ПЛІС програмної моделі паралельної пам'яті з змінним впорядкованим доступом

Розроблення та синтез програмної моделі паралельної пам'яті з змінним впорядкованим доступом виконано за технологією проектування програмних моделей обчислювальних пристроїв на рівні міжрегістрових передач. Дана технологія передбачає реалізацію обчислювальних пристроїв в програмовних логічних інтегральних схемах і достатньо повно описана в працях [5, 6].

В табл.1 наведено фрагмент звіту про результати синтезу в ПЛІС 6vcx75tff484-2 фірми Xilinx розробленої вище паралельної пам'яті з змінним впорядкованим доступом, отриманого при використанні засобів Xilinx ISE 13.2.

Таблиця 1. Результати синтезу в ПЛІС 6vcx75tff484-2 фірми Xilinx паралельної пам'яті з змінним впорядкованим доступом.

Selected Device : 6vcx75tff484-2			
Slice Logic Utilization:			
Number of Slice Registers:	67	out of 93120	0%
Number of Slice LUTs:	32 3	out of 46560	0%
Number used as Logic:	32 3	out of 46560	0%
IO Utilization:			
Number of IOs:	67		
Number of bonded IOBs:	67	out of 240	28%
Specific Feature Utilization:			
Number of BUFG/BUFGCTRLs:	1	out of 32	3%
Minimum period: 0.988ns (Maximum Frequency: 1012.203MHz)			

В даному кристалі паралельна пам'ять з змінним впорядкованим доступом з наведеними вище характеристиками займає $\approx 0,69\%$ логічних комірок, що означає, що в ньому можна розмістити таку пам'ять великої ємності, причому, виходячи з структурної організації ПЗВД [1], ємність не матиме впливу на її частоту.

Видно, що теоретично досягається частота роботи ПЗВД 1012.203 МГц, тобто дана пам'ять може працювати на максимальній частоті ПЛІС, яка приблизно становить 250-300 МГц [7], а такий показник при великих значеннях l і n забезпечить недосяжну для інших типів пам'яті продуктивність.

Висновки

1. Розроблено програмну модель паралельної пам'яті з змінним впорядкованим доступом та програмні моделі її складових елементів.
2. Проведено синтез програмної моделі паралельної пам'яті з змінним впорядкованим доступом з використанням мови VHDL та отримано відповідні схемотехнічні рішення.
3. Проведено моделювання роботи паралельної пам'яті з змінним впорядкованим доступом та показано коректність її функціонування.

4. Здійснено реалізацію в ПЛІС програмної моделі розробленої паралельної пам'яті з змінним впорядкованим доступом та проведено оцінку досягнутих характеристик.

1. Мельник А.О. Структурна організація векторної пам'яті з змінним та фіксованим впорядкованим доступом / А.О. Мельник, Н.М. Ліщина // Східно-європейський журнал передових технологій «Інформаційно-управлінські системи». – Харків: Технологічний центр, 2011. - № 6/9(54). С.52-57. 2. Мельник А.О. Структурна організація пам'яті з впорядкованим доступом на основі налаштовуваних сортувальних мереж / А.О. Мельник // Інформатика та обчислювальна техніка. ВМУРОЛ, 2011, С.34-46. 3. Мельник А.О. Принципи побудови буферної сортувальної пам'яті / А.О. Мельник // Вісник Державного університету “Львівська політехніка” “Комп'ютерна інженерія та інформаційні технології”, N307, 1996, С.65-71. 4. Мельник А.О. Спеціалізовані комп'ютерні системи реального часу / Мельник А.О. – Львів: НУ „Львівська політехніка”, 1996. – 60 с. 5. M.Keating, P.Bricaud «Reuse Methodology Manual for System-On-a-Chip Design», KluQer Academic Publishers, 1999, – 224 p. 6. А.О. Мельник. Технологія проектування ядер комп'ютерних пристроїв / А.О. Мельник, В.А. Мельник // Вісник Національного університету “Львівська політехніка” “Комп'ютерні системи та мережі”. – 2002. №463. – с.3-9. 7. Virtex-6 Family Overview. Product Specification. DS150 (v2.4) January 19, 2012. [Електронний ресурс] – Xilinx, Inc. – 11p. – Режим доступу: http://www.xilinx.com/support/documentation/data_sheets/ds150.pdf