

## ФУНКЦІОНАЛЬНА СТРУКТУРА СПЕЦПРОЦЕСОРА ВЕРТИКАЛЬНО-ІНФОРМАЦІЙНОЇ ТЕХНОЛОГІЇ ТА ЙОГО КОМПОНЕНТИ

© Гуменний П.В., Николайчук Я.М., 2012

Досліджено структурні схеми аналого-цифрових перетворювачів у ТЧБ Галуа. Розроблено структурну схему АЦП з кількістю компараторів  $2^k/2-2^k/8$ , та структуру 4-канального адресного дешифратора. Реалізовано 8-бітовий спецпроцесор ВІТ.

**Ключові слова:** аналого-цифровий перетворювач, теоретико-числовий базис Галуа, спецпроцесор.

**Research the structural device of the analog-to-digital converters in TDB Galois. The block diagram of the ADC with the number of comparators  $2^k/2-2^k/8$ , and structure of 4-ch channel address decoder. Was developed 8-bit special processor.**

**Key words:** analog-to-digital converters, TDB Galois, special processor.

### Вступ

У розвитку сучасних технологій розроблення процесорів і спецпроцесорів та їх застосуванні з кожним роком посилюється тенденція до вдосконалення. Застосовуються нові нанотехнології, збільшується кількість ядер на одному кристалі, зростає розрядність процесорів, збільшується кеш-пам'ять усіх рівнів, застосовуються нові набори інструкцій і багато іншого. Проте варто зазначити, що більшість розробників, проектуючи процесори, зосереджують увагу на двійковій системі числення (теоретико-числовий базис Радемахера)[1]. Проте двійкова система числення має певні обмеження: наявність міжрозрядних зв'язків, велика розрядність шин адрес та даних ( $n=32,64,128\dots$ ), велика кількість зовнішніх зв'язків на ПЛІС. Тому стає перспективним дослідження та ефективне застосування інших теоретико-числових базисів (ТЧБ), зокрема: Хаара, Крестенсона, унітарного, Галуа [2]. З перелічених базисів особливо перспективний ТЧБ Галуа, як основа вертикально-інформаційної технології(ВІТ) [3].

### Аналіз публікацій та постановка наукової задачі

Значний внесок у розвиток теорії побудови високопродуктивних процесорів та спецпроцесорів на основі ТЧБ: Радемахера, Уолша, Крестенсона та Галуа – здійснили І.Я. Акушський, О.В. Палагін, Г.І. Брюхович, Я.М. Николайчук, А.О. Мельник, С.І. Бунін [4–8]. Суттєво розширили інформаційні технології та теорію побудови компонентів процесорів на основі вертикально-інформаційної технології (ВІТ) та мультибазисних процесорів: Я.М. Николайчук, Л.Б. Петришин, С.І. Мельничук, Н.Д. Круцкевич, О.М. Заставний [9–12]. Успішні спроби застосування ТЧБ Галуа для побудови спецпроцесорів та його компонент з опрацюванням біт-орієнтованих потоків інформації зробили відомі зарубіжні фірми – виробники мікропроцесорної техніки та електроніки, Fujitsu Limited [13], Sony Corporation [14], Analog Devices [15], Matsushita Electric Industrial [16]. Описані спецпроцесори та їх компоненти широко застосовуються в галузі цифрового оброблення сигналів, у комп'ютерних мережах та спеціалізованих системах.

Водночас досліджувані та широко використовувані класи спецпроцесорів характеризуються особливо вузькими функціональними можливостями. Однак практично не розроблені й не освоєні у виробництві базові компоненти ВІТ процесорів, зокрема: аналогово-цифрові перетворювачі, арифметико-логічні пристрої, шифратори, дешифратори, адресні лічильники, ОЗП, ПЗП, асоціативна пам'ять з паралельним доступом тощо. Перспективу також зумовлюють можливості побудови високопродуктивних мультипроцесорних систем на основі ВІТ зі спільним потоком команд.

## Мета роботи

Розроблення функціональної структури 8-бітного спецпроцесора та його базових компонентів на основі вертикально-інформаційної технології.

## Розроблення та дослідження адресного дешифратор-процесора ВІТ

Важливою компонентою спецпроцесора ВІТ є адресний дешифратор. При реалізації адресного дешифратора пам'яті колективного доступу (ПКД) на ПЛІС проведено дослідження його структури, яке показало, що такий тип дешифраторів має регулярну структуру і складається з однотипних блоків. На основі однотипного блока в роботі [17] спроектовано базову схему одноканального адресного дешифратора. Використовуючи базову структуру, яка являє собою повноцінний одноканальний адресний дешифратор Галуа, здійснюємо розширення кількості каналів шляхом збільшення кількості елементів. Як видно з рис. 1, при збільшенні кількості каналів адресного дешифратора Галуа зростає лише кількість каналних виходів (DOUT\_A-DOUT\_D), а кількість службових входів залишається сталою. Проведені дослідження при реалізації адресного дешифратора Галуа показали простоту реалізації цього типу елементів цифрової техніки.

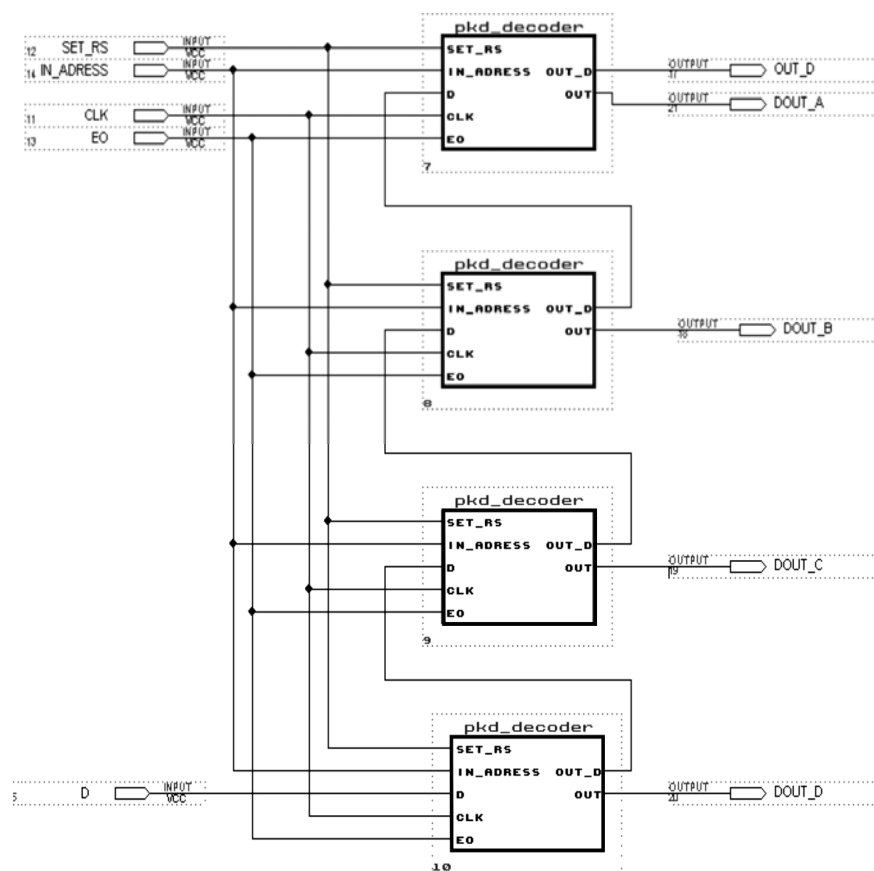


Рис. 1. Реалізація 4-канального адресного дешифратора Галуа:

*SET\_RS* – вхід встановлення RS тригера в одиничний стан;  
*IN\_ADRESS* – вхід адресної послідовності каналу; *D* – інформаційний вхід на тригер регістра зсуву;  
*CLK* – вхід синхронізації; *EO* – вхід дозволяючого сигналу;  
*OUT\_D* – вихід тригера регістра зсуву; *DOUT\_A-DOUT\_D* – виходи *i*-го каналу

Завдяки регулярній структурі цей тип дешифраторів легко змінює кількість каналів адресації, що відкриває перспективу подальшого дослідження та розвитку елементів такого типу.

## Аналого-цифровий перетворювач як компонента процесора ВІТ

Аналіз архітектурної структури спецпроцесорів, сигнальних процесорів показує, що складовою їх компонентою є одноканальні та багатоканальні АЦП. Тому під час розроблення та

вдосконалення названого класу процесорів доцільним є дослідження системних характеристик АЦП Галуа.

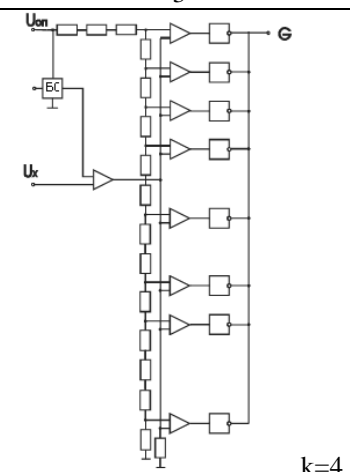
У цих АЦП зчитування інформації відбувається за  $k$  тактів відповідно до розрядності, структури яких подані в табл. 1 [18]. Відзначимо відмінності й переваги цього класу АЦП:

- практична відсутність дешифратора паралельного коду в базисі Хаара у послідовний код базису Галуа, який реалізується на основі провідного логічного елемента “АБО”;
- можливість реалізації аналого-цифрового перетворення з буферизацією в запам’ятовуючому регістрі миттєвих значень вхідної напруги, або зчитування цифрових даних у коді Галуа за  $k$  тактів скануванням вхідної напруги;
- унікальна можливість реалізації матриці компараторів, кількість яких вдвічі менша від кількості рівнів квантування  $2^k$ ;
- реалізація захисту вихідних кодів від помилок у процесі аналого-цифрового перетворення розширенням кількості тактів сканування  $k+n$ , де  $n$  – додаткові біти рекурентного коректуючого коду;
- високий рівень регулярності архітектури через відсутність пірамідального дешифратора, що суттєво спрощує його мікроелектронну реалізацію.

Таблиця 1

Структурні схеми АЦП в базисі Галуа

№	Тип АЦП	Структура	Параметри вихідних сигналів
1	2	3	4
1	Паралельний в базисі Галуа з буферним регістром	<p>Кількість компараторів <math>2^k</math></p>	<p>Послідовний код Галуа</p> $g_k$ $g_{k-1}$ $\dots$ $g_v$ $g_{v-1}$ $\dots$ $g_1$
2	Скануючий в базисі Галуа	<p>Кількість компараторів <math>2k/2</math></p>	<p>Послідовний код Галуа</p> $g_k$ $g_{k-1}$ $\dots$ $g_v$ $g_{v-1}$ $\dots$ $g_1$

1	2	3	4
3	Скануючий в базисі Галуа на імпульсних компараторах		Послідовний код Галуа g <sub>k</sub> g <sub>k-1</sub> ... g <sub>v</sub> ... g <sub>v-1</sub> ... g <sub>1</sub>

Аналіз характеристик одноканальних АЦП, структури яких наведено в табл. 1, показує, що максимальну швидкодію аналого-цифрового перетворення забезпечують АЦП з паралельною архітектурою. Граничні характеристики швидкодії паралельних АЦП у структурному плані залежать від сумарного часу послідовного спрацювання його компонентів:

$$T = t_k + t_{ш} + t_p, \quad (1)$$

де  $t_k$ ,  $t_{ш}$ ,  $t_p$  – відповідно затримки часу на перемикання компаратора, пірамідального шифратора та D-тригера буферного регістра.

Наявність пірамідального шифратора, особливо багатоступеневого, істотно впливає на зниження швидкодії такого класу АЦП. При цьому час перемикання шифратора визначається кількістю послідовно з'єднаних логічних елементів, кількість яких залежить від розрядності  $k$ , тобто  $t_{ш} = \alpha k$ , де  $\alpha > 1$  – коефіцієнт, який враховує тип шифратора.

Швидкодія АЦП Галуа з буферним регістром визначається оцінкою часової затримки сигналів у елементах:

$$T = k(t_{TP} + t_{ЛЕ}) + t_K + t_{ЛЕ}, \quad (2)$$

де  $t_{TP}$ ,  $t_{ЛЕ}$  – відповідно швидкодія тригера та логічного елемента.

Швидкодія АЦП Галуа сканувального типу з багатабільним елементом визначається часом затримки (табл. 3):

$$T = k(t_K + 2t_{ЛЕ} + t_{БС}), \quad (3)$$

де  $t_{БС}$  – швидкодія стабільного елемента.

Швидкодія АЦП Галуа сканувального типу на основі імпульсних компараторів характеризується часом затримки:

$$T = k(t_C + t_{БС} + t_K + t_{ЛЕ}), \quad (4)$$

де  $t_C$  – час затримки на суматорі.

Тому для кількісної оцінки швидкодії АЦП прийемо, що в різних архітектурах перетворювачів використовуються однотипні елементи (компаратори, регістри, лічильники, ЦАП та інші), ці параметри компонентів наведено в табл. 2.

Таблиця 2

Час затримки на елементах АЦП

№	Компоненти	Позначення	Час спрацювання, нс
1	Багатабільний елемент	БС	35
2	Вентильний елемент (74АС00)	ЛЕ	7
3	Генератор Галуа	ГГ	28
4	Компаратор (МАХ941)	К	80
5	Шифратор	Ш	3ЛЕ
6	Суматор (AD8610)	С	600
7	Тригер	ТР	2ЛЕ

У [18] показано (рис. 2), що швидкодія найпоширеніших АЦП паралельного типу знижується зі зростанням розрядності внаслідок зростання складності пірамідального дешифратора кодів базису Хаара в базис Радемахера.

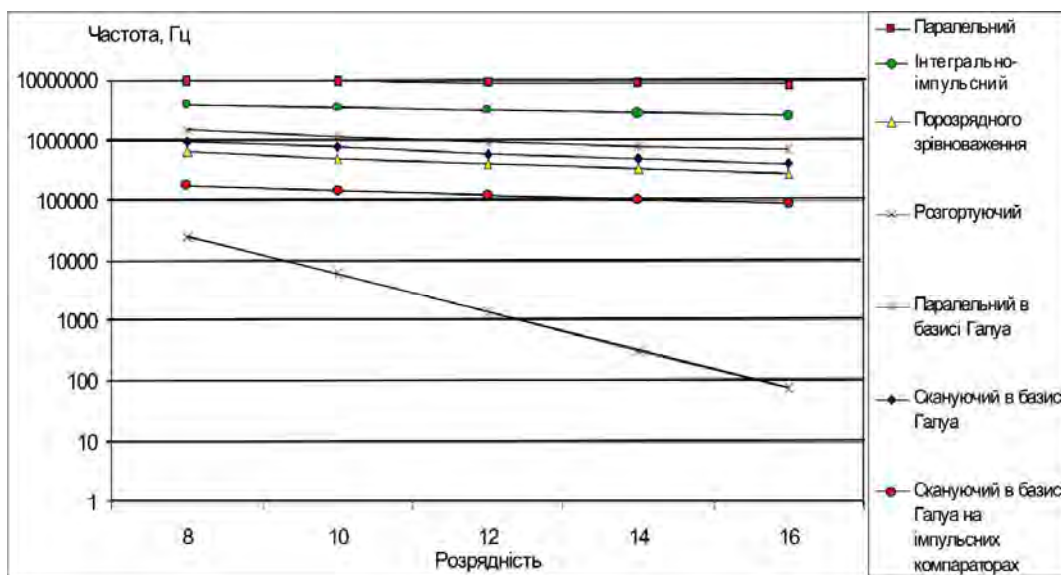


Рис. 2. Швидкодія АЦП різних типів в базисах Радемахера та Галуа залежно від розрядності

Апаратна складність сканувального АЦП на імпульсних компараторах (табл. 3) зумовлена наявністю найбільш апаратно складних та енергоємних  $2^k/2$  компараторів, які формують нульові значення вихідного поля Галуа. На основі цієї структури розроблено АЦП, який містить  $2^k/2 - 2^k/8$  компараторів (рис. 3) [20].

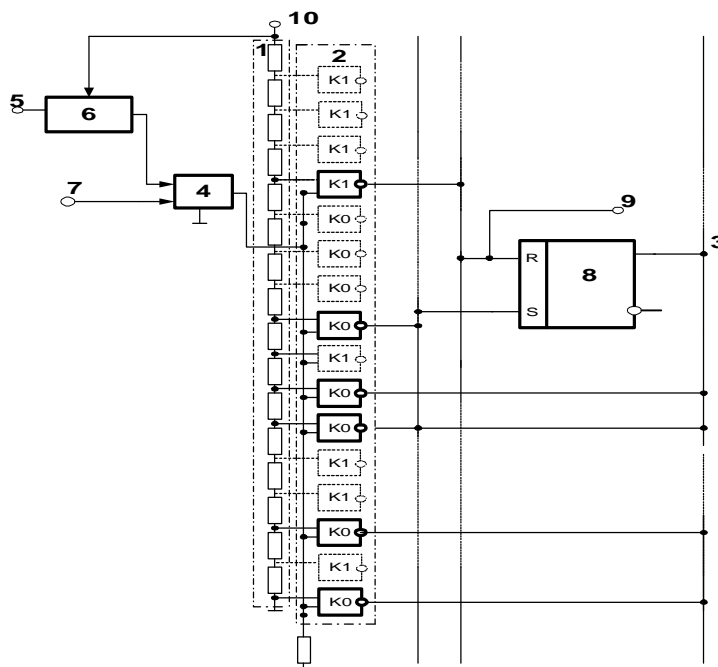


Рис. 3. Сканувальний АЦП Галуа з  $2^k/2 - 2^k/8$  імпульсних компараторів:  
 1 – ділянка напруги (на основі групи резисторів), 2 – група імпульсних інвертуючих компараторів (K1 – значення “1” і K0 – значення “0”, штрих-пунктиром позначені компаратори, які вилучаються зі структури перетворювача), 3 – вихідна шина кода поля Галуа, 4 – суматор, 5 – шина імпульсів сканування, 6 – багатовстабільний елемент, 7 – вхідний сигнал, 8 – RS тригер, 9 – шина початкового встановлення тригера в одиничний стан, 10 – шина опорної напруги

Основною перевагою розробленого перетворювача (рис. 4) порівняно з поданим у табл. 1 сканувальним АЦП з  $2^k/2$  компараторів є те, що на границях компактних груп інвертуючих імпульсних компараторів, які формують нульові біти коду поля Галуа, розміщені RS тригери, що дають змогу зменшити кількість найбільш апаратно складних інвертуючих імпульсних компараторів залежно від розрядності аналого-цифрового перетворювача  $k$ , що забезпечує зменшення їх загальної кількості на 25 %. Порівняно з паралельним АЦП з буферним регістром з кількістю компараторів  $2^k$  розроблений АЦП (рис. 4) дає змогу зменшити число компараторів на 62,5%.

### Функціональна структура 8-бітового спецпроцесора на основі ВІТ

Вертикально-інформаційна технологія, основою якої є ТЧБ Галуа, спрямована на вдосконалення функціональних обмежень двійкової системи та розвиток архітектур процесорів на основі ВІТ. У загальному випадку базова структура чипа такого спецпроцесора [2] може мати не більше за 8 зовнішніх з'єднань, в які входять біт-орієнтовані шини: Y – управління; A – адреса; Д – даних; та C/S – вибір кристала; W/R пристрій вводу-виводу. На рис. 4 наведено функціональну структуру зовнішніх зв'язків ВІТ процесора.

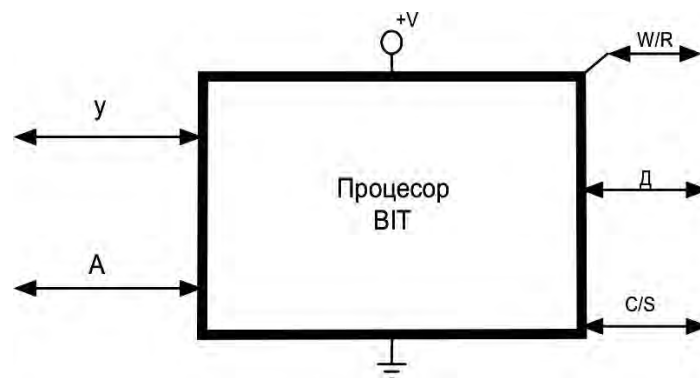


Рис. 4. Структура зовнішньоінформаційних зв'язків ВІТ процесора

Особливістю реалізації ВІТ є використання теоретико-числового базису Галуа, який характеризується рекурентними властивостями. При цьому, як показано на рис. 5, можлива ефективна реалізація адресного регістра процесора у вигляді генератора послідовності кодів Галуа [2].

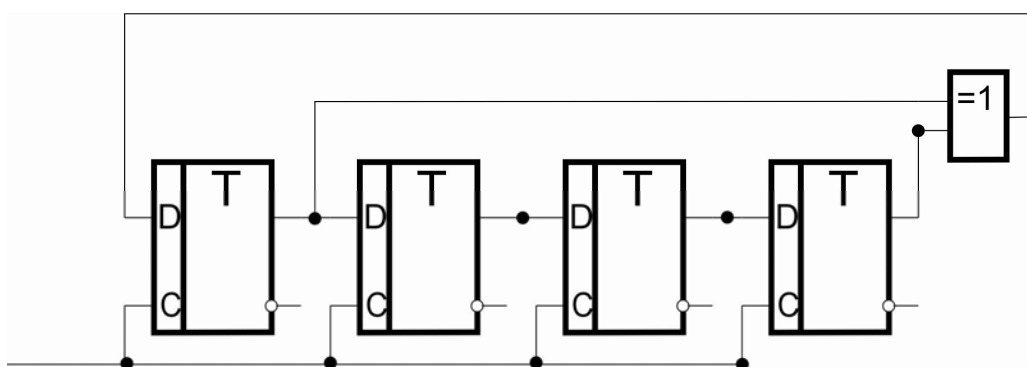


Рис. 5. Структура генератора кодів Галуа на основі регістра зі зворотним логічним зв'язком  $y_0) R_2 := 2^4 - 1$

Незважаючи на те, що ТЧБ Галуа породжує непозиційну систему числення, в цьому коді існує правило операції рекурсивного зсуву, що дає змогу виконувати арифметичні дії та обчислення над двійковими числами – полями кодів. У цій системі можуть виконуватись такі арифметико-логічні операції: інкремент, декремент, додавання множення [19]:

$$\begin{aligned}
 (a_{i+1} = a_i + 1) &\rightarrow; \\
 (a_{i-1} = a_i - 1) &\leftarrow; \\
 \{i\} &= \{a_i\} + \{G_i\} +; \\
 \{d_i\} &= \{a_i\} \bullet \{G_i\} \times.
 \end{aligned}
 \tag{5}$$

Ця властивість уможливило ефективне розпаралелення та опрацювання багатьма процесорами інформаційних потоків команд, а також реалізацію паралельного обміну даними з ПКД. У таб. 3 наведено приклад адресації команд у базисах Радемахера та Галуа.

Таблиця 3

Адресація даних у базисі Радемахера і Галуа

Адресація в базисі Радемахера		Адресація в базисі Галуа	Тип мікрокоманд
$a_{n-1} a_{n-2} \dots a_i \dots a_0$	$A_i$	$G_{n-1}$ $G_{n-2}$ ..... $G_i$ ..... $G_0$	
$a_{n-1} a_{n-2} \dots a_i \dots a_0$	$A_{i+1}$	$G_{i+1} = G_i \oplus G_{i-n}$	
$G_{n-1} G_{n-2} \dots G_i \dots G_0$ ..... $a_{n-1} a_{n-2} \dots a_i \dots a_0$  $C_{n-1} C_{n-2} \dots C_i \dots C_0$		$G_{i+1}$ ...  $G_{i+n}$	If, go to
$d_{n-1} d_{n-2} \dots d_i \dots d_0$	$A_j$		

При виконанні операцій інкрементування і декрементування код Галуа найефективніший, оскільки ці операції виконуються за допомогою операцій зсуву – паралельно у всіх розрядах за один такт [19]. Ця операція в базисі Радемахера потребує виконання  $n$  тактів наскрізного переносу, де  $n$  – розрядність операційного пристрою підсумування. А звідси впливає можливість реалізувати швидкодіючі прямі алгоритми обчислень, що зумовлені простотою апаратної реалізації [1]. Перевагою процесора ВІТ є високий ступінь однорідності обчислюваного середовища, звідси впливає перспектива реалізації на сучасній мікроелектронній базі. Арифметичні операції додавання і множення в ТЧБ Галуа реалізуються без міжрозрядних переносів, на відміну від ТЧБ Радемахера [14]. Однак у ТЧБ Галуа достатньо складно виконується операція порівняння. Для реалізації в АЛП операцій порівняння дешифратор перетворює код Галуа на базис Радемахера.

На основі структурної схеми процесора (рис. 5) розроблена функціональна структура спецпроцесора ВІТ (рис. 6).

Функціональна структура еквівалентна 8-розрядному мікропроцесору в базисі Радемахера [21]. Арифметико-логічний пристрій відповідає за виконання арифметико-логічних операцій. До складу операційного вузла входять АЛП з регістрами команд. Адресування відбувається шиною адреси через буферний регістр адреси та лічильник команд. Використання регістрів загального призначення дає змогу реалізувати адресування до комірок пам'яті за їх вмістом, переходячи до непрямой адресації даних. Розробка та реалізація ВІТ процесорів розширить сферу застосування спецпроцесорів для опрацювання біт-орієнтованих потоків інформації, а також дасть змогу використати як компоненти мультибазисних RCG процесори зірково-магістральної архітектури.

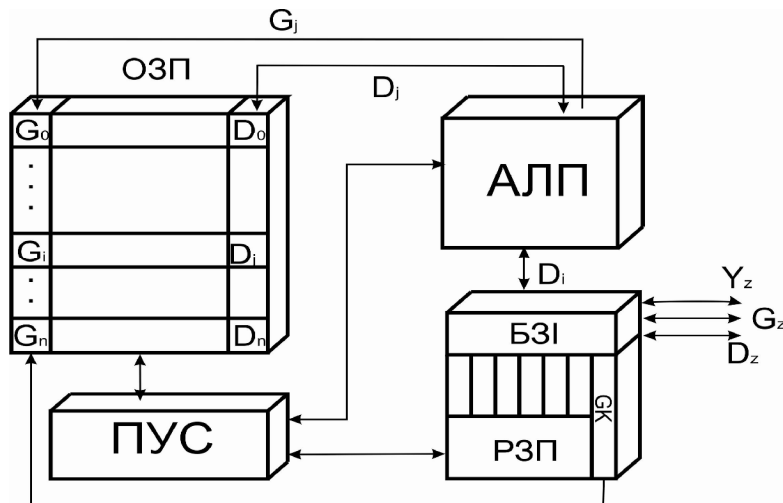


Рис. 6. Функціональна структура спецпроцесора ВІТ:

АЛП – арифметико-логічний пристрій; ОЗП – оперативний запам’ятовуючий пристрій;  
 РЗП – регістри загального призначення; ПУС – пристрій управління і синхронізації,  
 $D_j$  – біт-орієнтовані дані;  $G_j$  – біт-орієнтована адреса в базисі Галуа, БЗІ – буфер зовнішнього інтерфейсу,  
 GK – лічильник команд у базисі Галуа;  $D_i, D_j$  – біт-орієнтовані дані;  $G_0 - G_n$  – адресний код поля Галуа;  
 $D_0 - D_n$  – дані, що зчитуються і записуються в ОЗП;  $D_z, G_z, Y_z$  – зовнішні біт-орієнтовані  
 інтерфейсні шини даних, адрес та управління інформаційних зв’язків процесора ВІТ

## Висновки

Розроблена структура 4-канального адресного дешифратора Галуа показала простоту реалізації цього типу елементів цифрової техніки. Проаналізовано характеристики сучасних АЦП на основі ТЧБ Галуа, які широко використовуються як структурні компоненти спецпроцесорів на основі ВІТ. Розроблено АЦП з кількістю компараторів у  $2^k/2 - 2^k/8$ , апаратна складність якого на 25 % менша від сканувального АЦП з  $2^k/2$  компараторів. Реалізовано функціональну схему 8-розрядного спецпроцесора ВІТ, який реалізує біт-орієнтовані потоки кодів команд і даних. Аналіз спецпроцесора ВІТ та його компонентів показав, що використання вертикально-інформаційної технології дає змогу знизити структурну та алгоритмічну складність мікропроцесорних систем.

1. Николайчук Я. М. Теория джерел інформації // Ярослав Миколайович Николайчук. – Видання друге, виправлене – Тернопіль: ТзОВ Терно-Граф, 2010. – 534 с. 2. Николайчук Я.М. Дослідження архітектури комп’ютерів: принципи побудови процесорів на основі вертикально-інформаційної технології / Я. М. Николайчук, П.В. Гуменний // Поступ в науку: зб. наук. праць Буцацького інституту менеджменту і аудиту. – Бучач. – 2009. – №5. – С. 69–73. 3. Акушский И.Я., Юдицкий Д.И. Машинная арифметика в остаточных классах / И.Я Акушский, Д.И. Юдицкий. – М.: Советское радио, 1968. – 440 с. 4. Палагин А.В. Опыт разработки микропроцессорных распределенных систем реального времени / А.В. Палагин, Я.Н. Николайчук. – К.: Знание, 1988. – 19 с. 5. Брюхович Е.И. К вопросу об информатизации общества. Методология решения задачи научного предвидения для вывода из кризиса отечественной вычислительной техники // Математические машины и системы. – 1997. – №2. –С. 122–132. 6. Николайчук Я.М. Вертикальна інформаційна технологія в кодових системах Галуа / Николайчук Я.М., Петришин Л.Б. // Матеріали 2-ї Української конф. з автоматичного керування “Автоматика-95”. – Львів. – 1995. – С. 131. 7. Бунин С. Г. Вычислительные сети с пакетной радиосвязью / Бунин С.Г., Войтер А.П. – К.: Техніка, 1989. – 223 с. 8. Мельник А.О. Апаратно-орієнтовані процесори швидких ортогональних перетворень / А.О. Мельник, Ахмад Аль-Кхатіб // Вісник ДУ “Львівська політехніка”: Комп’ютерні системи та мережі. – 2000. – №385. – С. 127–135. 9. Заставний О.М. Теорія та принципи побудови спецпроцесора на основі базисів Радемахера, Крестенсона, Галуа / О.М. Заставний, Р.І. Король,



Я.М. Николайчук, Н.Д. Круцкевич // *Контроль і управління в складних системах: тези доповідей сьомої міжнародної наукової конференції*. – Вінниця: УНІВЕРСУМ – Вінниця, 2003. – 114 с. 10. Мельничук С.І. Малоенергетичні методи завадостійкого обміну даними в безпроводних комп'ютерних мережах автоматизованих систем / С.І. Мельничук // *BISTRO/ 96/052 Матеріали 2-ї Міжнародної науково-практичної конференції “Управління енерговикористанням”*. – Львів, 1997. – С. 47–50. 11. Петришин Л.Б. *Теоретичні основи перетворення форми та цифрової обробки інформації в базисі Галуа: навч. посіб.* – Київ.: ІЗІМН МОУ, 1997. – 237 с. 12. Яцків В.В., Круцкевич Н.Д. *Перспективи застосування базису Галуа в системах контролю доступу на прикладі безконтактної аутентифікації* / В.В. Яцків, Н.Д. Круцкевич // *Вісник Технологічного університету Поділля*. – 2002. – Т2, № 3. – С. 201–205. 13. Patent №7,082,452 B2 (USA)ю Galois field multiply/multiply-add/multiply accumulate/Yosi Stein, Haim Primo, Yaniv Sapir - : Analog Devices -2006 y, Appl №10/228,526. 14. Patent №4,918,638 (USA). Multiplier in a Galois field /Michito Matsumoto, Kazuhiro Murase// Matsushita Electric Industrial - Osaka Japan, -1990 y. Appl № 107,363. 15. Patent №4,473,887 (USA). Processing circuit for operationg on elements of a Galois field/ Kentaro Odaka// Sony Corporation Tokyo, Japane, - 1984 y. Appl № 360,205. 16. Patent №6,523,054 B1 (USA). Galois field arithmetic processor / Shunsuke Kamijo - Fujitsu Limited, Kawasaki Japan, - 2003 y. Appl № 09/437, 473. 17. Гуменний П.В. Структура та системні характеристики багатопортової ПКД на основі вертикально-інформаційної технології в базисі Галуа./ П.В. Гуменний // *Збірник наукових праць Бучацького інституту менеджменту і аудиту*. – 2010 – Вип. №6, т. 1. – С. 71–75. 18. Гуменний П.В. Одноканальний аналогово-цифровий перетворювач (АЦП) в теоретико-числовому базисі Галуа, як компонента процесорів вертикально-інформаційної технології (ВИТ) / Гуменний П.В. // *Вісник Тернопільського національного технічного університету “Науковий журнал”*. – Тернопіль. – 2011. – Том 16, №3. – С. 174–182. 19. Николайчук Я.М. Теоретичні засади та принципи побудови арифметикологічного пристрою на основі вертикально-інформаційної технології / Я.М. Николайчук, О.М. Заставний, П.В. Гуменний // *Вісник Хмельницького національного університету*. – 2012. – № 2. – С. 190–196. 20. Патент № 70744 U Україна Н038М. Аналого-цифровий перетворювач / Я.М. Николайчук, П.В. Гуменний. 2012. Бюл № 12.