

С. П. Стрямець, Ю. В. Опотяк

Національний університет "Львівська політехніка", м. Львів, Україна

МАТРИЧНИЙ ПАРАЛЕЛЬНИЙ ПРОЦЕСОР НА ПІДСТАВІ ОДНОРІДНОГО ОБЧИСЛЮВАЛЬНОГО СЕРЕДОВИЩА З ВИКОРИСТАННЯМ ВДОСКОНАЛЕНОЇ ОБЧИСЛЮВАЛЬНОЇ КОМІРКИ

Наведено опис елементної бази однорідного обчислювального середовища, яке може ефективно використовуватися при створенні систем оброблення сигналів, з застосуванням алгоритмів оброблення з глибоким розпаралелюванням, до бітового рівня. Проведено аналіз переваг і недоліків наявної елементної бази та запропоновано нову удосконалену структуру обчислювальної комірки однорідного обчислювального середовища. Запропоновано ряд конструктивних пропозицій по удосконаленню наявних обчислювальних комірок та створення нової елементної бази однорідного обчислювального середовища. Описано механізми проведення тестування матриці однорідного обчислювального середовища з метою виявлення пошкоджених та непрацюючих обчислювальних комірок всередині матриці, механізм швидкої зміни коду операцій окремих обчислювальних комірок всередині матриці однорідного обчислювального середовища. Наведено опис можливості проведення контролю налаштувального коду у процесі запису в матрицю та контролю правильності виконання операцій під час роботи матриці однорідного обчислювального середовища. Описано механізм збільшення продуктивності обчислювального поля та шляхи підвищення живучості систем цифрового оброблення сигналів на базі однорідного обчислювального середовища з реконфігурацією алгоритму оброблення сигналів з врахуванням пошкоджених, непрацюючих або збійних обчислювальних комірок. Наведено опис матричного паралельного спеціалізованого процесора, побудованого на базі однорідного обчислювального середовища, який складається з 720 обчислювальних комірок. Описано його функціональні вузли та принцип роботи.

Ключові слова: глибоке розпаралелювання; однорідне обчислювальне середовище; обчислювальна комірка; процесорний елемент; спеціалізований процесор.

Вступ

Не зважаючи на зростаючу швидкість традиційних систем з архітектурою типу SISD, вони мають обмежену обчислювальну потужність, обумовлену власне їх архітектурою, що часто недостатньо для вирішення низки сучасних задач оброблення сигналів. Одним з можливих шляхів вирішення цієї проблеми є реалізація паралельного обчислювального процесу, у якому одне завдання вирішується з допомогою багатьох процесорів одночасно відповідно до архітектури типу MISD [3], [14], [16].

До недавнього часу використання систем паралельного оброблення даних було надто дорогим задоволенням для звичайних користувачів. Однак завдяки успіхам у створенні апаратних та програмних засобів паралельного оброблення даних стає все доступнішою і економічно доцільною з точки зору реалізації обчислювальної системи у цілому роботі [3], [14].

Основним фактором при розробці будь якого інструментального засобу є досягнення компромісу між універсальністю застосування та продуктивністю. Майже у всіх випадках універсальні пристрої менш ефективні ніж розроблені спеціально для конкретного застосування. На практиці необхідний компроміс досягається економічними факторами: висока вартість розробки спеціалізованого пристрою співставляється з низькою продуктивністю універсального пристрою [10], [14].

В галузі оброблення сигналів перевагу мають спеціалізовані пристрої через жорсткі вимоги до оброблення

в реальному масштабі часу. Для здійснення такого оброблення, звичайно, вимагається виконання сотень мільйонів операцій множення в секунду, а універсальні системи з такою продуктивністю дорогі і не завжди ефективні. Однак, з іншої сторони, багато алгоритмів оброблення сигналів можна розкласти на відносно невелику кількість примітивних операцій, які потім легко можна реалізувати в спеціалізованих пристроях.

Прискорення обчислювального процесу часто буває обмежене внаслідок обмеженої пропускної здатності пам'яті. Прискорити обчислення в цьому випадку можливо відносно простим і недорогим засобом: використанням систолічного підходу і паралельної оброблення інформації. При такій обробці інформації звертання до пам'яті відбувається тільки при завантаженні даних і при вивантаженні результатів обчислення [10], [14].

Систолічні структури, або однорідні обчислювальні середовища (ООС) складаються з певної кількості зв'язаних між собою обчислювальних комірок (ОК), кожна з яких виконує певну просту операцію. Варто зазначити, що в англійській літературі для позначення терміну ОК частіше застосовують термін *processor element* – процесорний елемент (ПЕ). Оскільки при проектуванні та реалізації прості регулярні структури зв'язків та управління мають істотні переваги перед складними структурами, комірки в систолічній системі, як правило, об'єднані в вигляді систолічної матриці [1], [2], [5].

Основний принцип оброблення інформації в ООС полягає в тому, що одноразово завантажені з пам'яті дані проштовхуються через матрицю ОК, і можуть бути

ефективно оброблені кожною коміркою в процесі передачі їх від комірки до комірки без потреби додаткового звертання до пам'яті. Така організація можлива для широкого спектру задач, що відносяться до класу обмежених по вводу-виводу, де великий обсяг обчислювальних операцій виконуються над кожним елементом даних одним і тим же способом, що повторюється, тобто, маємо справу, у певному сенсі, з апаратною реалізацією алгоритму роботи [14].

В ООС застосовують дві моделі побудови алгоритмів оброблення потокової інформації. Перша передбачає побітову оброблення вхідного потоку даних при цьому слова надходять в матрицю ООС починаючи з молодшого розряду і на кожному наступному такті надходить наступний розряд слова даних. При цьому відбувається одночасна оброблення великої кількості слів, які надходять на різні входи комірок матриці ООС. У другій моделі оброблення у матрицю ООС надходять всі розряди слова одночасно і оброблення проводиться паралельно, одночасно для всіх розрядів слова. В першому випадку від розміру ООС буде залежати кількість слів, які матриця зможе одночасно опрацювати, в другому розрядність опрацьовуваних слів. При побудові алгоритмів оброблення сигналів необхідно враховувати який саме потік вхідних даних буде використано.

Можливість багатократного використання кожного елемента введених даних, що забезпечує високу обчислювальну продуктивність ООС, є однією з істотних переваг систолічного підходу. Характерні й інші переваги, такі як наросцуваність матриці, простота та регулярність потоків даних, використання простих ОК.

Об'єкт дослідження – процеси обчислення в однорідних обчислювальних середовищах і систолічних структурах.

Предмет дослідження – методи і засоби побудови паралельних обчислювальних систем на базі однорідних обчислювальних середовищ.

Мета роботи – проведення аналізу наявних засобів для створення обчислювальних систем на базі однорідних обчислювальних середовищ, визначити їх недоліки і запропонувати нову удосконалену архітектуру обчислювальної комірки для створення досконалої обчислювальної системи.

Для досягнення зазначеної мети визначено такі основні завдання дослідження: проаналізувати характеристики наявної елементної бази для побудови однорідного обчислювального середовища, визначити її недоліки і ґрунтуючись на цьому розробити структуру нової елементної бази з покращеними показниками продуктивності, запропонувати архітектуру спеціалізованого процесора на базі однорідного обчислювального середовища.

Наукова новизна отриманих результатів дослідження – вперше спроектована комірка однорідного обчислювального середовища і на її основі розроблено спеціалізований процесор потокового оброблення даних.

Практична значущість результатів дослідження – отримані результати можна використовувати при створенні спеціалізованих систем оброблення інформації на базі однорідних обчислювальних середовищ.

Аналіз останніх досліджень і публікацій. Розробки у яких можна відстежувати ефективне використання методів розпаралелювання були виконані вже декілька

десятиліть тому, а до систем розпаралелювання магістрального типу можна віднести більшість ланцюгових структур оброблення інформації без зворотних зв'язків, однак, становлення самої теорії розпаралелювання інформації і зараз ще не можна вважати завершеною. Створення обчислювальних пристроїв високої швидкодії, яке не може бути забезпечене наявною елементною базою, з самого початку повинне ставитись в залежність від вимог теорії розпаралелювання, починаючи від вибору алгоритму роботи системи і завершуючи її структурною схемою. В розробці саме такого підходу до використання методів розпаралелювання та в створенні основних елементів загальної теорії розпаралелювання інформації істотний вклад внесли вчені: Глушков В. М., Євреїнов Е. В., Малиновський Б. Н., Котов В. Є., Вальковський В. А., Грицик В. В., Цейтлін Г. Є. [3], [14], [16].

Основи теорії однорідних обчислювальних середовищ і структур були закладені в працях Євреїнова Е. В., Прангішвілі І. В., Бабічева Є. В., Ігнатушенка В. В. [3], [14]. Розробкою нових та вдосконаленню відомих методів та засобів багатооперандного оброблення векторних масивів для реалізації на систолічних структурах, дослідженням функціональних можливостей та ефективності алгоритмів оброблення за методом різницевого зрізів, а також аналізом особливостей канонічного відображення рекурсивних алгоритмів на матричні структури і синтезу систолічних процесорів з орієнтацією на програмовані логічні інтегральні схеми займались Мартинюк Т. Б., Кожем'яко А. В. та ін. [9].

Не спадає інтерес до створення систем оброблення даних на підставі ООС і в останні роки. Так, наприклад, у роботі [8] автори вказують на потреба удосконалення архітектури ООС для урахування зміни обсягу заданих обчислювальних комірок при зміні алгоритму оброблення з метою зменшення енергоспоживання, що вимагає власне реконфігурування алгоритму оброблення, у роботі [11] розглянуто удосконалену обчислювальну комірку (процесорний елемент), який орієнтовано на реалізацію частини спеціалізованих обчислень у системі розпізнавання образів, у роботі [15] автори зосередилися на питаннях створення платформи програмування для ООС.

Отже, огляд показує, що незважаючи на активну увагу сьогодні, в основному, до багатопроекторних систем оброблення, багатоядерних процесорів, масивно-паралельних систем тощо, напрямок наукових досліджень, пов'язаний власне з однорідними обчислювальними середовищами, які є масивами достатньо простих за своєю функціональністю обчислювальних комірок, і далі залишається актуальним.

Результати дослідження та їх обговорення

Однорідні обчислювальні середовища (ООС). Прикладом елементної бази, яка може ефективно використовуватися при створенні систем оброблення сигналів, є однорідні обчислювальні середовища. ООС – це прямокутна регулярна решітка в вузлах якої знаходяться обчислювальні комірки (ОК), а ребра є каналами зв'язку між ОК по входу-виходу. Отже, це однорідна структура, в якій кожна ОК (окрім пограничних) фізично зв'язана з чотирма сусідами. ОК являються бітовими мікропроцесорами з обмеженим набором команд [14].

Наприклад, велика інтегральна схема (БІС) М-106-20 містить матрицю обчислювальних комірок 3×3, що зібрані в корпусі Н 14.42-2В. Схематичне зображення БІС ОК наведено на рис. 1,а, призначення виводів мікросхеми показано в табл. 1. Така реалізація дає змогу нарощувати матрицю ОК до необхідних розмірів для вирішення різних класів задач.

ОК здатна приймати дані по двох з чотирьох входів, обробляти їх і передавати результат на один з чотирьох виводів. При потреби в ОК використовується додаткова затримка на один такт.

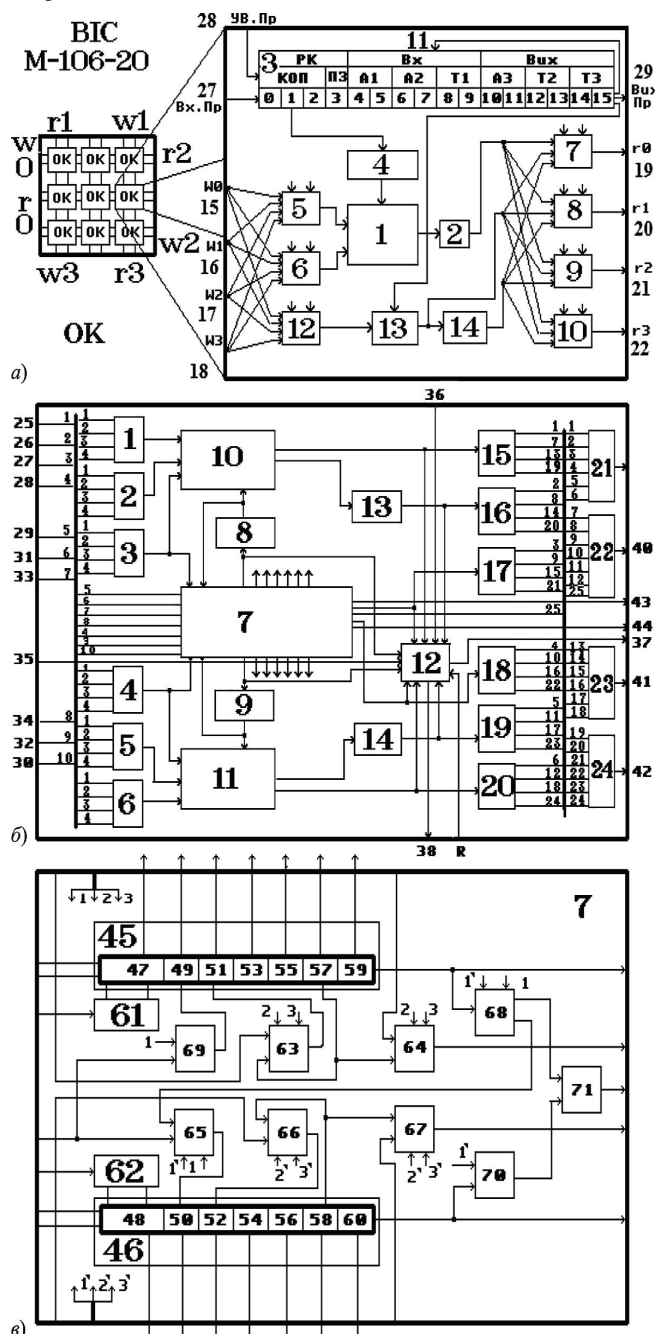


Рис. 1. Структурна схема ОК (а), розроблена обчислювальна комірка ООС (б), схема блоку налагоджувальних регістрів (в)

Одночасно з операціями в арифметико-логічному елементі (АЛЕ) можливий транзит, прийом даних по одному з входів і передача їх без зміни на один з виводів з затримкою на один такт і з затримкою на два такти на інший вихід. Структурна схема ОК наведена на рис.

1,а. ОК містить: АЛЕ – 1, елемент затримки – 2, регістр команд – 3, дешифратор – 4, два комутатори входів – 5-6, чотири комутатори виходів – 7-10, коло зворотного зв'язку – 11, частини регістра команд 3, канал транзиту, що містить третій комутатор входу 12, два елементи затримки 13, 14, інформаційні входи комірки 15-18, виходи комірки 19-22, налаштовувальні входи комірки 27-28, налаштовувальний вихід комірки 29.

Регістр команд 1 слугує для налаштування ОК на виконання конкретної операції і має в своєму складі шістнадцяти розрядний регістр зсуву з логікою управління. Склад налаштовувального регістра (рис. 1,а) наступний: КОП – код операції, ПЗ – ознака затримки результату АЛЕ, А1 – адреса входу першого операнда, А2 – адреса входу другого операнда, А4 – адреса входу транзиту, А3 – адреса виходу результату обчислень АЛЕ, А6 – адреса виходу транзиту з затримкою на два такти, А6 – адреса виходу транзиту з затримкою на один такт.

Залежно від коду операції записаного в перші три розряди регістра команд, комірка може виконувати наступні сім операцій:

- 000 – (НОП) немає операції, канал АЛЕ комірки відключений;
- 001 – арифметичне додавання двох однорозрядних чисел з запам'ятовуванням переносу і врахуванням його на наступному такті додавання;
- 010 – логічне множення двох однорозрядних чисел (операція "І");
- 011 – резервний код;
- 100 – логічне множення з інверсією;
- 101 – додавання "по модулю два", двох однорозрядних чисел;
- 110 – запам'ятовування логічної "1", результат на виході АЛЕ встановлюється рівним значенню першого входу, якщо значення другого входу рівне "1", і не змінюється, якщо значення другого входу рівне логічному "0";
- 111 – генерація константи, при ПЗ і "0" циклічний зсув вмісту розрядів 5-12 налаштовувального регістра вправо і виводом його з розряду 12 по адресах А5 і А6, при ПЗ і "1" інформація з входу А1 надходить через розряди 5-12 налаштовувального регістру на вихід по адресах А5 і А6 [14].

Удосконалена обчислювальна комірка ООС. На підставі аналізу функціонування описаної комірки проводилось багато досліджень і, внаслідок, було виявлено ряд недоліків, які обмежували подальше їх використання. Це, в першу чергу, обмежений набір команд, який не дає змогу реалізувати на ООС складні алгоритми. При спробі запрограмувати матрицю на виконання таких задач як шифрування і дешифрування коду за методами Хемінга, Ріда-Соломона та інших кодів з виправленням помилок, розміри мікропрограмного модуля надто розрослись. Наприклад, для реалізації в ООС операції запам'ятовування "1" (RS-тригера) необхідно задіяти чотири ОК. Іншим недоліком описаної комірки є складна система виявлення збійних комірок, громізде тестування. Були написані складні мікропрограмні модулі для тестування матриць ООС, які займали багато місця та часу, і водночас, не гарантували надійної роботи матриці. Окрім цього, ніяке тестування не може захистити матрицю від випадкових збоїв, включаючи збої у налагодженні обчислювального поля, які фатально впливають на виконання алгоритму у цілому роботі [7].

Відсутність засобів контролю за обчислювальним процесом в матриці ООС, коли задіяна значна кількість комірок ООС і немає можливості проконтролювати обчислювальний процес на кожному його етапі, залишає єдиний шлях – дублювати обчислення. При цьому зростає або час виконання алгоритму, або обчислювальне поле – як мінімум, удвічі.

Ці недоліки наявної елементної бази ООС призвели до інтенсивних досліджень в напрямку удосконалення архітектури ОК ООС. Внаслідок було розроблено ряд конструктивних пропозицій по удосконаленню наявних ОК, та створення нової елементної бази ООС, серед яких: суперкристал Сєдова, процесорні елементи, описані в [2], [7], [14] та ін.

Грунтуючись на проведеному аналізі наявної елементної бази ООС була розроблена обчислювальна комірка підвищеної живучості та надійності (рис. 1,б), в якій були передбачені засоби контролю обчислювального процесу всередині ОК, механізм дублювання каналу вводу налаштовувальної інформації та засоби прискореної зміни коду операції в АЛЕ [13]. Ця комірка має у складі наступні функціональні блоки та елементи: 1, 2 та 4, 5 – вхідні комутатори даних; 3, 6 – вхідні комутатори транзиту; 7 – блок налагоджувальних регістрів; 8, 9 – дешифратори команд; 10, 11 – арифметико-логічні елементи; 12 – блок діагностики; 13, 14 – елементи затримки; 15-20 – вихідні мультиплексори; 21-24 – чотири елементи АБО.

ОК має наступні входи та виходи: 25-28 – інформаційні входи, налагоджувальні входи 29-32, входи управління лічильників КОП 33-34, входи ознаки помилки попередньої комірки 35 (рядки), 36 (стовпці), виходи ознаки помилки 37, 38, інформаційні виходи 39-42, налагоджувальні виходи 43, 44, вхід обнулення регістрів блока діагностики R [13].

Важливою особливістю цієї комірки є блок налагоджувальних регістрів, показаний на рис. 1,в, який має два налагоджувальних регістри 45, 46, два лічильники 61, 62, п'ять комутаторів 63-67, декомутатор 68, два елементи І 69, 70, елемент АБО 71. Налагоджувальні регістри 45, 46 мають поля коду операцій (КОП) 47, 48, поля адреси входів АЛЕ 49, 51 та 50, 52, поля адреси виходів АЛЕ 55, 56, поля адреси входів транзиту 53, 54, поля адреси виходів транзитів з затримкою 57, 58 та без затримки 59, 60.

Обчислювальна комірка працює в такий спосіб. Перед початком вирішення задачі виконується запис двох команд в регістри команд 45 та 46 послідовним кодом через налагоджувальні входи 30 та 29 по сигналу дозволу вводу програм, який подається на налагоджувальні входи 32 та 31. По закінченню сигналу, який дає змогу ввід програми, коди двох команд запам'ятовуються в регістрах 45 та 46 і комірка переходить в динамічний режим виконання операцій.

Дешифратори 8 та 9 (схеми І), входи яких з'єднані з виходами полів 47 та 48 налагоджувальних регістрів 45 та 46, а виходи підключено до управляючих входів АЛЕ 10 та 11 і до управляючих входів ГК (генерації констант) блоку регістрів 7, налагоджують їх на виконання операцій згідно з кодами операцій, записаних в полях 47 та 48 блоку регістрів 7. АЛЕ 10 та 11 може бути налагоджено на виконання операцій незалежно один від одного або ж на виконання однакової операції. При

виконанні АЛЕ 10 та 11 однакової операції блок діагностики 12 виконує порівняння результатів обчислень, і у випадку відсутності збігу результатів на виходах комірок 37 та 38 з'являється сигнал ознаки помилки. При цьому блок діагностики також виконує контроль правильності налагодження полів КОП 47 та 48 блоку регістрів 7.

Комірка приймає дані з чотирьох інформаційних входів 25-28 через мультиплексори 1-3 та 4-6 залежно від керуючих сигналів, які надходять на ці мультиплексори. Дані для першого АЛЕ 10 надходять через мультиплексори 1-3, для другого АЛЕ 11 – через мультиплексори 4-6. Адреси прийому даних визначаються вихідними сигналами полів 49, 51, 53 та 50, 52, 54 налагоджувальних регістрів 47 та 48.

АЛЕ 10 та 11 незалежно один від одного можуть виконувати операції над двома змінними, результати обчислень з АЛЕ 10 через демультимплексор 15, а з АЛЕ 11 через демультимплексор 20 надходять на інформаційні виходи 39-42 комірки. Напрямок вивантаження результату визначається управляючими сигналами, які надходять на демультимплексори з полів 55 та 56 блоку регістрів 7. При роботі АЛЕ 10 та 11 з двома змінними коміркою здійснюється два транзити вхідних даних через мультиплексори 1 та 6, і передаються через демультимплексори 16, 17 та 18, 19, а через демультимплексори 16 та 19 з затримкою на один такт, номери інформаційних виходів, по яких видаються транзитні дані, визначаються вмістом полів 57, 59 та 58, 60 налагоджувальних регістрів 45 та 46. При збігу адрес виходів виконується логічне додавання.

В АЛЕ 10 та 11 можуть бути реалізовані наступні функції двох змінних: АБО, АБО-НІ, І, І-НІ, $A1 > A2$, $A1 + A2$, $A1 = A2$. Одночасно виконанням цих функцій через комірку можливий транзит. Транзит через комірку можливий і при виконанні операції послідовного додавання з запам'ятовуванням одиниці перенесення. Для решти операцій транзитний канал через комірку блокується. При реалізації в АЛЕ операції комутації входів $A1$ та $A2$ на виходи $A4$ та $A6$ вхід транзиту використовується як управляючий вхід комутатора, а вихід транзиту без затримки використовується як другий вихід комутатора. При виконанні АЛЕ операції паралельного додавання вхід транзиту використовується як вхід одиниці перенесення суматора, а вихід транзиту без затримки – як вихід одиниці перенесення. Реалізуючи в АЛЕ RST тригер вхід транзиту є лічильним входом тригера. При виконанні операції виділення першої та останньої одиниці з неперервної послідовності імпульсів, використовуються входи $A1$ та вхід транзиту, а в якості виходів – вихід АЛЕ та вихід транзиту без затримки.

Окрім цих функцій комірка може генерувати чотири види констант: циклічне вивантаження восьми біт з програмованим виходом, затримка на вісім біт з програмованим виходом та виходом, затримка на дванадцять біт з фіксованим виходом та виходом, затримка на двадцять чотири біти з фіксованим виходом та виходом. Генерація констант реалізується в блоці регістрів, управління генерацією констант виконується дешифраторами 8 та 9. Для генерації восьми розрядних констант використовуються поля 51, 53, 55, 57 та 52, 54, 56, 58 налагоджувальних регістрів 45 та 46, які працюють в режимі зсуву, при цьому, поля 47, 49, 59 та 48, 50, 60 зали-

шаються фіксованими. Для реалізації дванадцяти розрядних констант в режимі зсуву працюють поля 49, 51, 53, 55, 57, 59 та 50, 52, 54, 56, 58, 60, поля 47 та 48 лишаються фіксованими. При налагоджуванні полів 47 та 48 на генерацію дванадцяти розрядних констант одночасно реалізується двадцять чотирьох розрядна константа.

Лічильники 61 та 62 призначені для швидкої зміни вмісту полів 47 та 48 налагоджувальних регістрів. Незалежно від операції, яка виконується коміркою, при наявності сигналів на управляючих входах лічильники рахують тактові імпульси, і при припиненні подачі сигналів на управляючі входи здійснюється запис результатів розрахунку в поля 47 та 48 налагоджувальних регістрів 45 та 46. З наступного такту комірка буде виконувати нову операцію, зі збереженням адрес завантаження та розвантаження даних. Для запису всіх логічних "0" в поля 47 та 48 регістрів налагодження 45 та 46 на управляючі входи лічильників 61 та 62 достатньо подати на входи управління налагодженням короткий імпульс [13].

Отже, комірка дає змогу виконувати операції над двома парами змінних і незалежно від них передавати інформацію з двох входів на чотири виходи, до того ж, на два виходи з додатковою затримкою на один такт, дає змогу виконувати логічне додавання комбінацій з перерахованих операцій, дає змогу генерувати чотири види констант, має зв'язок програмного та операційного каналів.

Існує можливість виконати контроль правильності виконання операцій, для чого обидва АЛЕ налагоджу-

ються на однакові операції. При цьому відбувається перевірка не тільки результатів оброблення інформації, а й налагоджувальних кодів [13].

Для збільшення продуктивності обчислювального поля кожний АЛЕ налагоджується на свою операцію. В кожній ОК може бути виконаний подвійний набір команд. В такій якості ОК можуть бути використані у випадку коли необхідно обробити значний потік інформації, не критичної до точності оброблення. Швидка зміна коду операцій АЛЕ дає змогу виконувати тестування матриці обчислювальних комірок та її обнулення. Наявність в кожній комірці блоку діагностики значно спрощує задачу тестування матриці та підвищує надійність обчислень [7], [13].

Спеціалізований процесор на базі ООС. На підставі таких ОК був розроблений спецпроцесор (рис. 2). При конструюванні спецпроцесора дотримувались базових принципів побудови систем на ООС, які полягають в наступному. Розробники електронних систем використовують три базові принципи управління складністю системи: ієрархічність, модульність конструкції та регулярність. Ці принципи застосовують як до програмного забезпечення, так і до апаратної частини обчислювальної системи.

Ієрархічність – принцип ієрархічності передбачає поділ системи на окремі модулі, а потім, після подальшого поділу кожного такого модуля на фрагменти, до рівня, що дає змогу легко зрозуміти поведінку кожного конкретного фрагмента.

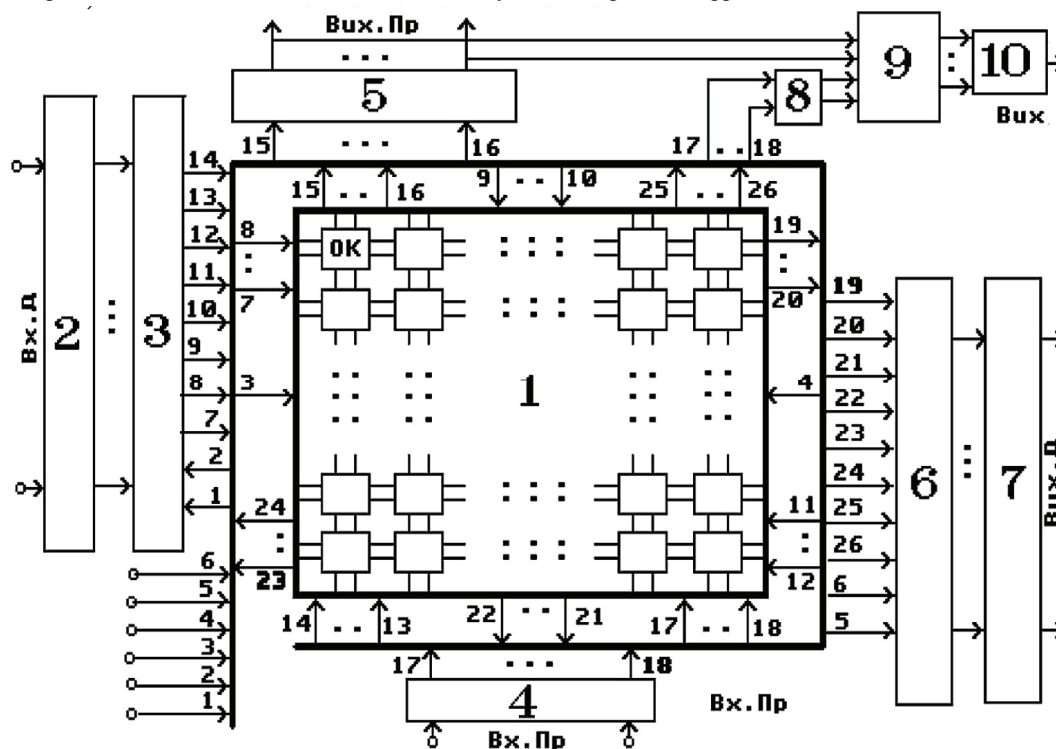


Рис. 2. Блок схема спеціалізованого процесора на базі ООС

Модульність – принцип модульності вимагає, щоб кожен модуль в системі мав чітко визначену функціональність і набір інтерфейсів та міг бути легко і без непередбачених побічних ефектів поєднаний з іншими модулями системи.

Регулярність – принцип регулярності вимагає дотримання подібності (однаковості) при проектуванні окремих модулів системи.

Стандартні модулі загального призначення, наприклад, такі як блоки живлення, тактові генератори можна використовувати багаторазово, знижуючи кількість модулів, необхідних для розроблення нової системи [4].

Матричний паралельний спеціалізований процесор, побудований на базі однорідного обчислювального середовища, складається з: 1 – матриці обчислювальних комірок; 2 – вхідного регістра; 3 – вхідного комутатора;

4 – вхідного регістра мікрокоманд; 5 – вихідного регістра мікрокоманд; 6 – вихідного комутатора; 7 – регістра результатів обчислень; 8 – регістра стану програмних входів обчислювальних комірок; 9 – блоку діагностики; 10 – елемента АБО.

Окрім цього, спецпроцесор має наступні входи-виходи: Вх.Д, Вих.Д – вхід, вихід даних; Вх.Пр, Вих.Пр – вхід-вихід налаштовувальної програми; Вих.ПП – вихід ознаки помилки. Управляючі сигнали: 1,2 – входи вибору напрямку завантаження даних; 3 – вхід тактових імпульсів; 4 – вхід вибору режиму роботи матриці; 5,6 – входи вибору напрямку вивантаження результатів обчислень [6].

Спеціалізований процесор працює в такий спосіб. На початку роботи проводиться запис мікрокоманд у вхідний регістр 4 спецпроцесора. Потім, по сигналу дозволу на вхід 4 матриці ОК, через налагоджувальні входи ОК, послідовно розряд за розрядом проводиться перезапис мікрокоманд з вхідного регістра пристрою в налагоджувальні регістри ОК. Послідовне з'єднання налагоджувальних регістрів ОК в кожній стрічці матриці дає змогу проводити запис програми в послідовному коді до повного завантаження програми в комірки.

При дублюванні циклу запису програми в ОК, у блоці діагностики 9 відбувається порівняння кодів команд, записаних в регістри мікрокоманд ОК і кодів, які записуються вдруге. У випадку відсутності збігу цих кодів на виході елемента АБО (позиція 10 рис. 2) з'являється сигнал помилки запису програми. Після закінчення циклу запису програми сигнал вибору режиму роботи, що надходить на вхід 4 матриці, переводить матрицю в режим виконання операцій.

Вхідний потік даних надходить на вхідний регістр 2, через комутатор 3, залежно від коду, що подається на керуючі входи 1, 2, відбувається завантаження даних в матрицю ОК, по одному з чотирьох напрямків входів. Одночасно з завантаженням даних в кожній комірці матриці, залежно від коду, записаного в налагоджувальний регістр, виконується одна з запрограмованих в ОК мікрокоманд. Вивантаження результатів обчислень виконується по одному з чотирьох напрямків виходів матриці ОК, залежно від коду, що подається на управляючі входи 5, 6 вихідного комутатора. З нього результати обчислень надходять на регістр 7 результатів обчислень.

На підставі обчислювальної комірки спроектовано спецпроцесор, який виготовлено у вигляді автономного пристрою, що може бути використаний як автономно, так і в комплексі з персональним комп'ютером. При застосуванні його в якості периферійного процесора ПК, всі керуючі сигнали та потік даних надходять з ПК. Результати обчислень та сигнал помилки запису програми також надходять в ПК. На цей паралельний спецпроцесор авторами отримано авторські свідоцтва [6], [12]. Вказаний спецпроцесор має 720 обчислювальних комірок і застосовувався для відлагодження мікропрограмних модулів цифрової оброблення сигналів та відпрацювання методів і алгоритмів потокової оброблення інформації.

Ще однією з переваг процесорних матриць на підставі ООС є їх висока живучість. Одним з шляхів підвищення живучості систем ЦОС на базі ООС є реконфігурування алгоритму оброблення сигналів з урахуванням збійних ОК. Для цього зберігають декілька варіантів ал-

горитмів налаштування ООС на виконання однієї задачі і обирають той з них, який найоптимальніше використовує обчислювальне поле і, водночас, вилучає з процесу обчислень збійні ОК [6], [7].

З часу проведення досліджень з побудови спецпроцесорів на ООС відбулись істотні зміни у побудові апаратних засобів для виконання обчислень, змінилась продуктивність обчислювальних систем, змінились об'єми доступної пам'яті, частоти на яких вони працюють, з'явилися нові матриці ПЛІС, процесори різного призначення та архітектури. Однак, не зважаючи на розробку нових класів обчислювальних засобів, концепцію ООС варто вважати актуальним напрямком наукового пошуку, що є перспективним шляхом побудови багатопроцесорних систем потокової оброблення інформації.

Висновки

Запропоновано архітектуру удосконаленої обчислювальної комірки ООС з покращеними характеристиками у якій передбачені засоби контролю обчислювального процесу всередині ОК, механізм дублювання каналу вводу налаштовувальної інформації та засоби прискореної зміни коду операції.

Спроектвана комірка ООС додатково містить блок діагностики, який істотно спрощує процес тестування матриці для виявлення непрацездатних комірок.

Здійснено аналіз побудови систем на базі ООС, виконано розробку спецпроцесора. Підвищення живучості ООС на підставі спроектованої ОК відбувається шляхом реконфігурування алгоритму оброблення сигналів з урахуванням збійних ОК.

Описано розроблений спецпроцесор на однорідному обчислювальному середовищі, що складається з блоку управління і 720 ОК ООС, що дає змогу проводити потокову оброблення інформації.

References

- [1] Batyuk, A. E., & Optyak, Y. V. (1994). The Computation Process and Its Implementation in a Homogeneous Computational Medium. *Pattern Recognition and Image Analysis*, 4(3), 238–240.
- [2] Evreinov, E. V. (1981). *Homogeneous computational mediums, structures and environments*. Moscow: Radio i svjaz, 208 p. [In Russian].
- [3] Fet, Ya. Y. (1981). *Parallel processors for control systems*. Moscow: Enerhoatomizdat, 160 p. [In Russian].
- [4] Harris, David Money, & Sarah L. Harris. (2009). *Digital design and computer architecture*. – 1st ed. p. cm. Includes bibliographical references and index.
- [5] Hrytsyk, V. V. (1981). Parallelization of information processing algorithms in real-time systems. Kyiv: Naukova Dumka, 215. [In Russian].
- [6] Hrytsyk, V. V., Kysyl, B. V., Strjamec, S. P., & Palenychka, R. M. (1989). Patent 1509920 SU, G 06 F 15/16. *Matrix computing device*. Opubl. Bjul. №35. [In Russian].
- [7] Kamsha, L. S., Kamsha, V. P., Malanyna, T. N., Samchynskyi, A. A., Sedov, V. S., & Shmoilov, V. Y. (1990). *OVS supercrystal with command analysis*. Methodical recommendations. Lviv. [In Russian].
- [8] Liu, B., Chen, X., Wang, Y., Han, Y., Li, J., Xu, H., & Li, X. (2019). Addressing the issue of processing element under-utilization in general-purpose systolic deep learning accelerators. *Proceedings of the 24th Asia and South Pacific Design Automation Conference (ASP-DAC)*, Tokyo, Japan, 20 January 2019, 733–738. <https://doi.org/10.1145/3287624.3287638>

- [9] Martyniuk, T. B., & Kozhemiako, A. V. (2007). *Systolic structures for multioperand processing of vector data*. Monograph. Vinnytsia: UNIVERSUM-Vinnytsia, 116 p. [In Ukrainian].
- [10] Melnyk, A. O. (2008). *Computer architecture, Scientific edition*. Lutsk: Volynska oblasna drukarnia, 470. [In Ukrainian].
- [11] Shuo, Tian, Lei, Wang, Shi, Xu, Shasha, Guo, Zhijie, Yang, Jianfeng, Zhang, & Weixia, Xu. (2020). A Systolic Accelerator for Neuromorphic Visual Recognition. *Electronics*, 9(10), 1690 p. <https://doi.org/10.3390/electronics9101690>
- [12] Striamets, S. P., & Kysil, B. V. (2001). Patent 42483A Ukraina, MPK G06F 7/00, G06 K9/46. *Homogeneous computing environment for the selection of a fragment of the image in the analysis of the structure of materials*. Zaiavnyk i vlasnyk Derzhavnyj NDI informacijnoi infrastruktury. Zaiavka 12.03.2001. Opubl. 15.10.2001, Biul. № 9. [In Ukrainian].
- [13] Striamets, S. P., Hrytsyk, V. V., & Kysil, B. V. (1994). Patent 21850A Ukraina, MPK (1994). G06F 7/00. *A cell of a homogeneous computational medium*. Zaiavnyk i vlasnyk Fizyko-mechanichnyj instytut im. G. V. Karpenka. zaiavka 15.06.94. Opubl. 30.04.98, Biul. № 2. [In Ukrainian].
- [14] Svensona, A. N., Hrytsyka, V. V., & Malinovskoho, V. N. (Eds.). (1985-1990). *Parallel information processing*: In 5 volumes. Kyiv: Naukova Dumka. [In Russian].
- [15] Trishin, V., Lookin, N., & Filimonov, A. (1990). *Software Development Technology for Homogeneous Computing Environments*. Retrieved from: <http://ceur-ws.org/Vol-1990/paper-07.pdf>
- [16] Valkovskij, V. A. (1989). *Parallelization of algorithms and programs*. Moscow: Radio i svjaz. [In Russian].

S. P. Striamets, Yu. V. Opotyak

Lviv Polytechnic National University, Lviv, Ukraine

MATRIX PARALLEL PROCESSOR BASED ON A HOMOGENEOUS COMPUTATIONAL MEDIUM USING AN ADVANCED COMPUTING CELL

Described element base of a homogeneous computational medium, which can be effectively used in the creation of signal processing systems using processing algorithms with deep parallelization, up to the bit level. The analysis of advantages and disadvantages of the existing element base is carried out and the new improved structure of a processor element of the homogeneous computational medium is offered. The possibility of multiple use of each element of the entered data, which provides high computational performance of a homogeneous computational medium, is one of the significant advantages of the systolic approach. Other benefits, such as matrix scalability, simplicity, and regularity of data flows, are realized through the use of computing cells with the simplest possible architecture. The architecture of the advanced processor element for construction of the homogeneous computational medium with the improved characteristics in which means of control of computing process in a computing cell, the mechanism of duplication of the channel of input of adjusting information and means of the accelerated change of the operation code is offered. A number of constructive proposals for improving the existing processor elements and creating a new element base of a homogeneous computational medium are proposed. The mechanisms of testing the matrix of a homogeneous computational medium in order to detect damaged and non-functioning processor elements inside the matrix, the mechanism of rapid change of the operating code of individual processor elements inside the matrix of a homogeneous computational medium are described. The possibility of performing control of the configuration code in the process of writing to the matrix and control of the correctness of operations during the operation of the matrix of a homogeneous computational medium is described. The designed processor element of a homogeneous computational medium further comprises a diagnostic unit, which greatly simplifies the process of testing the matrix to detect inoperable computing cells. The mechanism of increasing the productivity of the computing field and ways to increase the survivability of digital signal processing systems based on a homogeneous computational medium with reconfiguration of the signal processing algorithm taking into account damaged, broken or failed processor elements are described. The matrix of a parallel specialized processor, built on the basis of a homogeneous computational medium, which consists of 720 processor elements, is described. Its functional units and principle of operation are described.

Keywords: deep parallelization; homogeneous computational medium; computing cell; processor element; specialized processor.

Інформація про авторів:

Стрянець Сергій Петрович, канд. техн. наук, доцент, кафедра автоматизованих систем управління. Email: sergijstr@gmail.com; <https://orcid.org/0000-0002-8986-7529>

Опотяк Юрій Володимирович, канд. техн. наук, викладач, кафедра автоматизованих систем управління. Email: yurii.v.opotyak@lpnu.ua; <https://orcid.org/0000-0001-9889-4177>

Цитування за ДСТУ: Стрянець С. П., Опотяк Ю. В. Матричний паралельний процесор НА ПІДСТАВІ однорідного обчислювального середовища з використанням вдосконаленої обчислювальної комірки. Український журнал інформаційних технологій. 2021, т. 3, № 1. С. 78–84.

Citation APA: Striamets, S. P., & Opotyak, Yu. V. (2021). Matrix parallel processor based on a homogeneous computational medium using an advanced computing cell. *Ukrainian Journal of Information Technology*, 3(1), 78–84. <https://doi.org/10.23939/ujit2021.03.078>