

Висновки

Автоматизація виробництва і управління ним дає змогу заощадити фінансові, фізичні та людські ресурси для підприємств, які застосовують роботизовану техніку в своєму виробництві та в допоміжних функціях.

Сучасні системи оптичного контролю є складними програмно-апаратними комплексами. У цій роботі подано систему оптичного контролю, що вимагає застосування спеціалізованого апаратного та програмного забезпечення. Програма забезпечує автоматизований облік хліба, що без проблем дає змогу контролювати процес випікання.

Програма реалізована мовою програмування С# з використанням технології WPF: Windows Presentation Foundation. Для роботи в реальному часі розроблено спрощений алгоритм пошуку об'єктів за шаблоном.

Основною перевагою цього програмного продукту є його дешевизна, а також можливість інтегрування у вже існуючі системи відеоспостереження.

1. www.proelectro.info. 2. Прэтт У. Цифровая обработка изображений. – М.: Мир, 1982. – Кн.1. – 312 с.; Кн.2. – 480 с. 3. http://en.wikipedia.org/wiki/Otsu's_method. 4. iu5.bmstu.ru.

УДК 681.325

Р.О. Ткаченко, І.Г. Цмоць, О. Скорохода, Б.І. Балич
Національний університет “Львівська політехніка”,
кафедра автоматизованих систем управління

ПРОГРАМНО-АПАРАТНА РЕАЛІЗАЦІЯ БАГАТОШАРОВОГО ПЕРЦЕПТРОНА З НЕІТЕРАЦІЙНИМ НАВЧАННЯМ НА БАЗІ РІЗНИЦЕВОГО ВЕРТИКАЛЬНОГО ТАБЛИЧНО-АЛГОРИТМІЧНОГО МЕТОДУ

© Ткаченко Р.О., Цмоць І.Г., Скорохода О., Балич Б.І., 2010

Розроблено метод і структуру нейроелемента з різницеvim вертикально-алгоритмічним обчисленням, синтезовано на базі нейроелемента та функціонально-орієнтованого процесора пристрій для реалізації багатошарового перцептрона з неітераційним навчанням.

Ключові слова: вертикально-табличний метод, НВІС-технологія, нейроелемент, сума парних добутків, розпаралелення.

The model of multilayer perceptrons with non-iterative training has been considered, vertical-tabular principles of neural elements work have been analyzed. Basic structure of neural element with vertical-tabular implementation of even products sum has been developed.

Keywords: vertical-tabular method, VLSI-technology, MLP, even products sum, paralleling.

Постановка проблеми

Сучасний етап розвитку штучних нейромережових (ШНМ) технологій характеризується розширенням галузей застосування, в значній частині з яких потрібне опрацювання за складними алгоритмами у реальному часі різних за інтенсивністю надходження потоків даних на апаратних засобах, що задовольняють обмеження щодо габаритів, енергоспоживання, вартості та часу розроблення. Створення таких апаратних засобів вимагає широкого використання сучасної елементної

бази (напівзамовних і замовних НВІС, однокристальних мікропроцесорів) та розроблення нових методів, алгоритмів та НВІС-структур для реалізації нейроалгоритмів.

Найчастіше як ШНМ використовують багат шарові перцептрони (БШП), але в багатьох випадках вони не забезпечують вирішення великорозмірних завдань, яким властиві істотні нелінійності, за прийнятний час, оскільки їхнє навчання реалізується через виконання процедур багатовимірної і багатокритеріальної оптимізації. Подолати вказаний недолік можна як розробленням нових нейропарадигм ШНМ з неітераційним навчанням, так і створенням апаратних засобів для їх реалізації [1, 2]. У зв'язку з цим актуальним завданням є розроблення високопродуктивних ШНМ, які ґрунтуються на нових нейропарадигмах з неітераційним навчанням.

Аналіз останніх досліджень та публікацій

Базовим елементом будь-якої нейромережі, зокрема БШП, є нейронний елемент [1]. Його схема зображена на рис. 1, де 1 – входи нейроелемента, на які надходять сигнали від входів нейромережі або від інших нейронів; 2 – суматор входніх елементів, помножених на відповідні вагові коефіцієнти (пристрій обчислення сум парних добутків); 3 – обчислювач передатної функції; 4 – нейрони, на входи яких подається вихідний сигнал цього нейроелемента; 5 – вагові коефіцієнти.

Найважливішим компонентом нейроелемента є пристрій обчислення сум парних добутків, ефективність реалізації якого найбільше впливає на швидкодію та апаратні затрати на реалізацію нейрона. Аналіз останніх досліджень [2–5] показує, що існують два підходи до його апаратної реалізації. Перший з них ґрунтується на операціях множення і додавання, другий – на операціях додавання, інверсії та зсуву. Для НВІС-реалізацій макрооперації обчислення сум парних добутків зазвичай використовується другий підхід, який дає змогу оптимізувати пристрій за швидкодією, апаратними витратами та збільшити однорідність і регулярність структури.

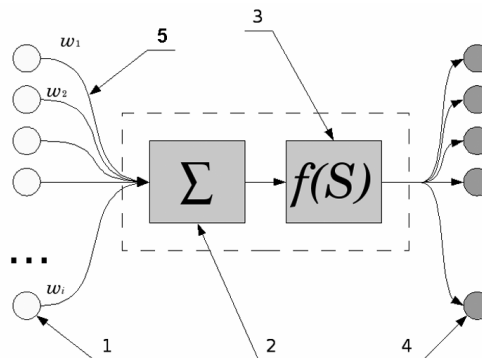


Рис. 1. Схема штучного нейрона

Під час реалізації у базисі елементарних операцій обчислення суми парних добутків зводиться до формування і підсумовування часткових добутків. Відомі методи обчислення суми парних добутків ґрунтуються на формуванні та підсумовуванні часткових добутків для кожної пари операндів, що вимагає значних часових затрат. Пропонується [2, 3] забезпечити збільшення швидкодії одночасне надходження всіх операндів, які представлені паралельним кодом. Але така реалізація, попри зменшення часу обчислень, вимагає великих затрат обладнання і значної кількості виводів інтерфейсу, які залежать від кількості та розрядності операндів.

Формулювання мети статті

На сучасному етапі розвитку НВІС-технологій особливої актуальності набуває проблема розроблення нових ефективних методів, алгоритмів і НВІС-структур для реалізації нейронного елемента на основі різницевого паралельно-вертикального (паралельно-порозрядного) підходу до обробки даних. Особливістю методів і алгоритмів обчислення сум парних добутків, що ґрунтуються на такому підході, є формування і підсумовування макрочасткових добутків, кількість яких не залежить від кількості операндів, а залежить від їх розрядності. Методи та алгоритми паралельного обчислення сум парних добутків на основі різницевого паралельно-вертикального

підходу повинні забезпечувати детерміноване переміщення даних, бути добре структурованими та орієнтованими на НВІС-реалізацію.

Тому метою дослідження є розроблення методу та структури нейроелемента з різницевим вертикально-алгоритмічним обчисленням, синтез на базі нейроелемента та функціонально-орієнтованого процесора пристрою для реалізації багат шарового перцептрона з неітераційним навчанням.

Виклад основного матеріалу

Різницевий вертикальний таблично-алгоритмічний метод реалізації нейроелемента. Під час реалізації нейроелемента з неітераційним навчанням основною базовою обчислювальною операцією є оператор суми парних добутоків:

$$Y = \sum_{j=1}^m C_j X_j. \quad (1)$$

Особливістю цієї нейропарадигми є можливість попереднього обчислення та зберігання всіх множених C_j , які використовуються для обчислення оператора суми парних добутоків.

Використання вертикального таблично-алгоритмічного багатооперандного методу обчислення оператора суми парних добутоків передбачає одночасне послідовно-порозрядне надходження всіх операндів, які представлені числами в додатковому коді з фіксованою комою, та формування в кожному такті відповідних частин макрочасткових добутоків.

Для зменшення обсягу обчислень пропонується формувати макрочасткові добуток на основі приросту (різниці) вхідних даних, а не їхнього повного значення. Для цього потрібно обчислити макрочастковий добуток для першого набору чисел, а всі інші – на основі їхнього приросту:

$$Y = C_1 X_1 + \sum_{j=2}^m C_j \cdot \Delta X_j, \quad (2)$$

де $\Delta X_j = X_j - X_{j-1}$.

Для реалізації цього методу обчислення оператора суми парних добутоків необхідно, щоб множники X_j були подані в порозрядному вигляді відповідно до формули [8–9]:

$$X_{j_i} = \sum_{i=0}^{n-1} (-1)^{2^i} 2^{-i} x_{ji}. \quad (3)$$

де x_{ji} – цифра i -го розряду множника X_j .

Підставляємо значення формули (1) у формулу (3) і отримуємо:

$$Y = \sum_{j=1}^m \sum_{i=0}^{n-1} (-1)^{2^i} 2^{-i} C_j x_{ji}. \quad (4)$$

Здійснивши об'єднання часткових добутоків з однаковими вагами, одержимо макрочастковий добуток:

$$P_i = \sum_{j=1}^m C_j x_{ji}. \quad (5)$$

Підставивши значення формули (5) у формулу (4), отримуємо формулу для обчислення оператора суми парних добутоків:

$$Y = \sum_{i=0}^{n-1} (-1)^{2^i} 2^{-i} P_i \quad (6)$$

Кількість макрочасткових добутоків залежить від кількості розрядів множників X_j , які аналізуються для їх одержання. Визначається кількість макрочасткових добутоків за формулою:

$$r = \left\lceil \frac{n+1}{g} \right\rceil, \quad (7)$$

де $\lceil \cdot \rceil$ – знак округлення до більшого цілого; r – кількість груп, на які ділять множники X_j ; n – розрядність множників X_j ; g – кількість розрядів у групі, які аналізують для отримання макрочасткових добутоків.

Процес формування макрочасткових добутоків доцільно здійснювати з молодших розрядів, що забезпечить зменшення розрядності накопичувального суматора. Вираз, за яким здійснюється формування макрочасткового добутку P_l , має такий вигляд:

$$P_l = \sum_{j=1}^m P_{jl}, \quad (8)$$

де $l=1, \dots, r$.

Сам P_{jl} частковий добуток обчислюється так:

$$P_{jl} = C_j K_{jl}, \quad (9)$$

де K_{jl} – l -й коефіцієнт при множенні C_j .

Кількість коефіцієнтів Z , що використовуються для формування часткового добутку P_{lj} , визначається за такою формулою [7–9]:

$$Z = 2^g + 1.$$

Коефіцієнт K_{jl} при цьому може набувати одного із таких значень:

$$0, \pm 1, \pm 2, \pm 3, \pm 4, \dots, \pm 2^{g-1}.$$

У загальному випадку обчислення оператора суми парних добутоків з аналізом g розрядів запишеться так:

$$Y = \sum_{l=1}^r 2^{-g(l-1)} P_l. \quad (11)$$

Із формули (11) видно, що обчислення оператора суми парних добутоків Y зводиться до підсумовування макрочасткових добутоків P_l , де кожний P_l макрочастковий добуток зсунутий відносно P_{l-1} на g розрядів праворуч.

Нейропарадигма, яка використовується для реалізації БШП з неітеративним навчанням, забезпечує можливість попереднього обчислення всіх операндів C_j . Знаючи значення всіх операндів C_j , можна скласти таблицю макрочасткових добутоків для всіх можливих комбінацій l -х груп розрядних зрізів множників X_j [5, 6]. Кількість можливих варіантів макрочасткових добутоків P_l (обсяг таблиці) залежить як від кількості пар операндів m , так і від кількості розрядів у групі g , які аналізуються для формування часткових добутоків P_{jl} . Обсяг таблиці макрочасткових добутоків P_l визначається так:

$$Q = 2^{mg}. \quad (12)$$

Удосконалення вертикального багатооперандного методу обчислення оператора суми парних добутоків [4, 9] пов'язано з використанням таблиць макрочасткових добутоків P_l і з узгодженням інтенсивності надходження даних з інтенсивністю обчислень. Для такої реалізації необхідно обчислити всі можливі комбінації макрочасткових добутоків P_l і записати їх пам'ять так, щоб комбінація значень розрядних зрізів множників X_j була адресою комірки пам'яті, в якій зберігається відповідне значення макрочасткового добутку P_l .

Найчастіше для запису в пам'ять макрочасткові добутки P_l визначають за алгоритмом з аналізом одного розряду множників x_{ji} ($g=1$) [9]. Вибір макрочасткового добутку P_l з пам'яті здійснюється за адресою, яка є розрядним зрізом множників X_j , відповідно до такого виразу:

$$P_l = \begin{cases} 0, & \text{якщо } x_{1l} = x_{2l} = x_{3l} = \dots = x_{ml} = 0 \\ C_1, & \text{якщо } x_{1l} = 1, x_{2l} = x_{3l} = \dots = x_{ml} = 0 \\ C_2, & \text{якщо } x_{1l} = 0, x_{2l} = 1, x_{3l} = \dots = x_{ml} = 0 \\ C_1 + C_2, & \text{якщо } x_{1l} = 1, x_{2l} = 1, x_{3l} = \dots = x_{ml} = 0 \\ \mathbf{M} \\ C_2 + C_3 + \dots + C_m, & \text{якщо } x_{1l} = 0, x_{2l} = x_{3l} = \dots = x_{ml} = 1 \\ C_1 + C_2 + \dots + C_m, & \text{якщо } x_{1l} = x_{2l} = x_{3l} = \dots = x_{ml} = 1 \end{cases}. \quad (13)$$

Основними етапами реалізації різницевого вертикального таблично-алгоритмічного методу обчислення оператора суми парних добутоків є [9]:

- складання таблиці всіх можливих макрочасткових добутоків P_i ;
- запис у пам'ять обчислених значень макрочасткових добутоків P_i ;
- обчислення приросту вхідних даних ΔX_j і визначення максимальної розрядності різниці r ;
- зчитування макрочасткових добутоків P_i з комірок пам'яті за адресою, яка відповідає значенню розрядних зрізів множників ΔX_j ;
- додавання макрочасткових добутоків P_i до зсунутої праворуч раніше накопиченої суми;
- додавання отриманого результату для ΔX_j до раніше знайденого результату Y .

Структура нейроелемента з різницевим вертикальним таблично-алгоритмічним обчисленням. На основі різницевого вертикального таблично-алгоритмічного методу розробляємо структуру нейроелемента, яка орієнтована на збільшення швидкодії за допомогою зменшення кількості ітерацій обчислень. Кількість ітерацій обчислення базової операції (оператора суми парних добутоків) нейроелемента за різницевим вертикальним таблично-алгоритмічним методом зменшується та визначається максимальною розрядністю різниці ΔX_j . Структура нейроелемента з обчисленням базової операції за різницевим вертикальним таблично-алгоритмічним методом наведена на рис. 2, де Pr1.1 – Pr1.N – регістри для зберігання вхідних даних; Від1.1-Від1.N – віднімачі; Pr2.1- Pr2.N – регістри для зберігання приросту даних; БлА – блок аналізу розрядності; БК – блок керування; ОЗП – оперативний запам'ятовуючий пристрій; ШД – шина даних; ШУ – шина управління; ША – шина адреси; СВ – суматор-віднімач; PrСм – регістр суми; Pr3 – регістр для зберігання часткових результатів; См – суматор; У1-У10 – сигнали управління відповідно скидом Pr1.j, режимом роботи Pr2.j, ШФ, записом-читанням в ОЗП, вибіркою ОЗП, режимом роботи СВ, скидом PrСм, Pr3 та ШФ.

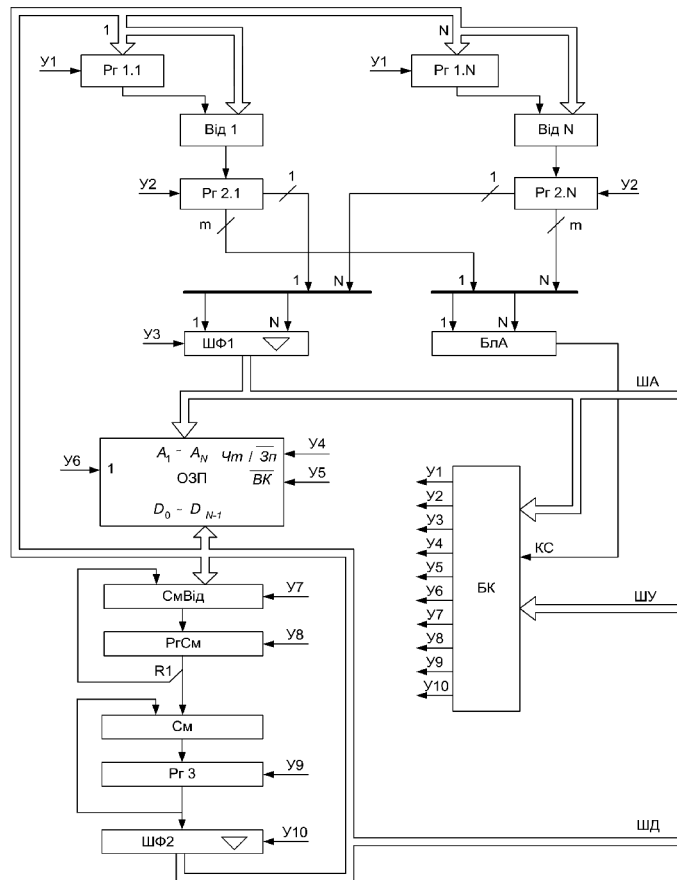


Рис. 2. Структура нейроелемента з різницевим вертикальним таблично-алгоритмічним обчисленням

Виконання базової операції нейроелемента за різницеvim вертикальним таблично-алгоритмічним методом передбачає попереднє обчислення всіх можливих варіантів макрочасткових добутоків P_i із записом їх в ОЗП та визначення максимальної розрядності різниці ΔX_j . Нейроелемент працює за конвеєрним принципом.

На початку роботи нейроелемента регістри $Rg\ 1.j$, $Rg3$ і $RgCm$ скидаються в нуль. При записі вхідних даних в регістри у $Rg\ 1.j$ здійснюється одночасно запис різниці з виходів віднімачів Від j у регістри $Rg2.j$. Отримані різниці з виходів регістрів $Rg2.j$ надходять у блок аналізу розрядності БЛА, який визначає максимальну розрядність різниць і передає її в блок керування БК. Наступним етапом є ітераційне обчислення оператора суми парних добутоків. Для цього регістри $Rg\ 2.j$ встановлюються у режим зсуву в бік молодших розрядів. У наступному такті роботи розрядні зрізи з виходів регістрів $Rg\ 2.j$ надходять на адресні входи ОЗП і визначають значення макрочасткового добутку P_i , який додається до раніше накопиченої суми, яка із зсувом праворуч на один надходить з виходів $RgCm$. Кількість тактів, необхідних для обчислення оператора суми парних добутоків, дорівнює максимальній розрядності різниці.

- Обробка наступних наборів вхідних даних відбувається аналогічно. У кожному такті роботи пристрою здійснюється зчитування з ОЗП макрочасткового добутку, який зберігається за адресою, що відповідає значенню розрядного зрізу вхідних даних. Кожний наступний макрочастковий добуток додається до зсунутої на один розряд праворуч раніше накопиченої суми, що надходить з виходів регістра $RgCm$. Після r такту отримуємо результату для ΔX_j , який додається до раніше обчисленого результату Y .

Отже, використання під час визначення приростів даних, а не їхніх повних значень, дає змогу зменшити час обчислення сум парних добутоків і тим самим підвищити швидкодію нейроелемента.

Структура БШП з неітераційним навчанням на базі нейроелемента з різницеvim вертикальним таблично-алгоритмічним обчисленням та функціонально-орієнтованого процесора. Для реалізації БШП з неітераційним навчанням використовуватимемо універсальні та спеціалізовані обчислювальні засоби. Як універсальні засоби використовуватимемо функціонально-орієнтовані процесори (ФОП), а як спеціалізовані – розроблений нейроелемент. Структура БШП з неітераційним навчанням на базі нейроелемента і ФОП наведена на рис. 3, де БШП – буферна паралельна пам'ять, НЕ – нейронний елемент з різницеvim вертикальним таблично-алгоритмічним обчисленням.

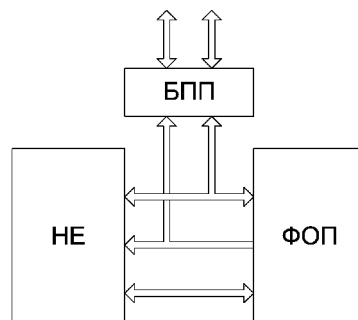


Рис 3. Структура БШП з неітераційним навчанням на нейроелементах і ФОП

Особливістю цієї структури є перекладання реалізації найчасомісткіших операцій на апаратні засоби, тобто на нейроелемент з різницеvim вертикальним таблично-алгоритмічним обчисленням. Операції, пов'язані з попереднім обчисленням макрочасткових добутоків, реалізацією процесу управління та обміну даними у розробленій структурі, виконує ФОП. Для уникнення конфліктів і підвищення швидкодії обміну даними у розробленій структурі БШП з неітераційним навчанням використовується БПП.

БШП функціонує так, що за допомогою розробленого нейроелемента почергово обчислюються значення на виходах всіх нейронів першого шару. Для реалізації цих обчислень попередньо для кожного нейрона обчислюються макрочасткові добутки, які записуються в ОЗП нейроелемента. Вхідні дані, результати проміжних обчислень і результати роботи БШП зберігаються в БПП. Використання розробленої структури для реалізації БШП з неітераційним навчанням забезпечує підвищення швидкодії та універсальності.

Висновки

1. Методи вертикально-табличної реалізації нейроелемента ґрунтуються на формуванні і підсумовуванні макрочасткових добутків, попередньо обчислені значення яких зберігаються в ОЗП.

2. Представлення алгоритмів обчислення сум парних добутків у базисі елементарних операцій дає змогу повною мірою використати можливості НВІС-технології.

3. Використання при обчисленнях приростів вхідних даних, а не їхніх повних значень дає змогу збільшити швидкість обчислення базових операцій нейроелемента.

4. Час обчислення сум парних добутків за вертикально-табличним методом визначається розрядністю приростів, а не їхньою кількістю.

1. Кун С. Матричные процессоры на СБИС. – М.: Мир, 1991. – 672 с. 2. Цмоць І.Г. Інформаційні технології та спеціалізовані засоби обробки сигналів і зображень у реальному часі. – Львів: УАД. – 2005. – 227 с. 3. Стрямець С.П., Цмоць І.Г. Паралельні алгоритми та НВІС-структури обчислення сум парних добутків // Вісник Нац. ун-ту “Львівська політехніка”: “Комп’ютерна інженерія та інформаційні технології”. – 2003. – № 496. – С. 255–263. 4. Березький О., Цмоць І. Методи та НВІС-структури для множення матриці на матрицю у реальному часі. Вісник Нац. ун-ту “Львівська політехніка”: “Комп’ютерні системи проектування. Теорія і практика”. – 2007. – № 591. – С. 63–76. 5. Параллельная обработка информации: Т.4. Высокопроизводительные системы параллельной обработки информации / Под ред. В.В. Грицька. – К.: Наук. думка, 1988. – 272 с. 6. Цмоць І.Г. Особливості проектування спеціалізованих комп’ютерних систем для обробки інтенсивних потоків інформації // Збірник наук. праць ІПМЕ НАН України: “Моделювання та інформаційні технології”. – К., 1999. – Вип. 8. – С. 143–149. 7. Цмоць І.Г. Алгоритми і структури ВІС перемножувача комплексних чисел // Вісник Держ. ун-ту “Львівська політехніка”. – 1998. – № 237. – С. 231–240. 8. Шальто А.А. Методы аппаратной и программной реализации алгоритмов. – СПб.: Наука, 2005. – 780 с. 9. Малиновський Б.Н., Боюн В.П., Козлов Л.Г. Введение в кибернетическую технику. Параллельные структуры и методы. – К.: Наук. думка, 1989. – 248 с.