УДК 004.315.2

І. Цмоць, О. Скорохода, Б. Балич
Національний університет “Львівська політехніка”,
кафедра автоматизованих систем управління

МОДИФІКОВАНИЙ МЕТОД ТА НВІС-СТРУКТУРА ПРИСТРОЮ ГРУПОВОГО ПІДСУМОВУВАННЯ ДЛЯ НЕЙРОЕЛЕМЕНТА

Модифіковано метод групового підсумовування, розроблено аналітичні вирази для синтезу 7-входового та 15-входового однорозрядних суматорів та синтезовано 7-входовий однорозрядний суматор і пристрій групового підсумовування.

Ключові слова: групове підсумовування, однорозрядний суматор, НВІС-структура.

Group summation method has been modified, analytical expressions for 7-input and 15-input single-adders synthesis have been developed, 7-input single-adder and group summation device have been synthesized.

Key words: group summation, single-adder, VLSI-structure.

Постановка задачі

Високопродуктивні апаратні нейромережі реального часу синтезуються на основі швидкодіючих нейроелементів, в яких високої швидкодії досягають розпаралелюванням обчислень як в часі, так і в просторі. Швидкодія нейроелемента значною мірою визначається часом реалізації базової операції – обчислення скалярного добутку

$$Z = \sum_{j=1}^{k} W_j X_j ,$$

де k – кількість входів нейроелемента, W_j – j-й ваговий коефіцієнт, X_j – значення j-го входу.

Наявні методи обчислення скалярного добутку розглядають процес обчислення як виконання сукупності операцій множення та додавання, а не як виконання єдиної операції. Реалізація таких алгоритмів у НВІС-структурах не дає змоги оптимізувати їх за апаратними витратами та швидкодією. Тому для розроблення НВІС-орієнтованих алгоритмів обчислення скалярного добутку необхідно записати їх у базисі елементарних арифметичних операцій. У загальному випадку обчислення скалярного добутку в базисі елементарних арифметичних операцій зводиться до макрооперації групового підсумовування:

$$Z = \sum_{j=1}^{M} C_j , \tag{1}$$

де M – кількість доданків; C_j – j-й доданок [1].

Нехай доданки C_j є двійковими n-розрядними додатними числами, меншими за одиницю, які записуються так:

$$C_j = \sum_{i=1}^{n} 2^{-i} C_{ji} . \tag{2}$$

Підставивши значення (2) до формули (1), отримаємо:

$$Z = \sum_{j=1}^{M} \sum_{i=1}^{n} 2^{-i} C_{ji} . \tag{3}$$

Формула (3) відображає горизонтальну модель обчислення оператора групового підсумовування. У роботі [2] розглянуті всі можливі варіанти реалізації горизонтальної моделі групового підсумовування. Найшвидшим варіантом реалізації горизонтальної моделі групового підсумовування є паралельно-паралельний метод обчислення, граф алгоритму якого поданий на рис. 1.

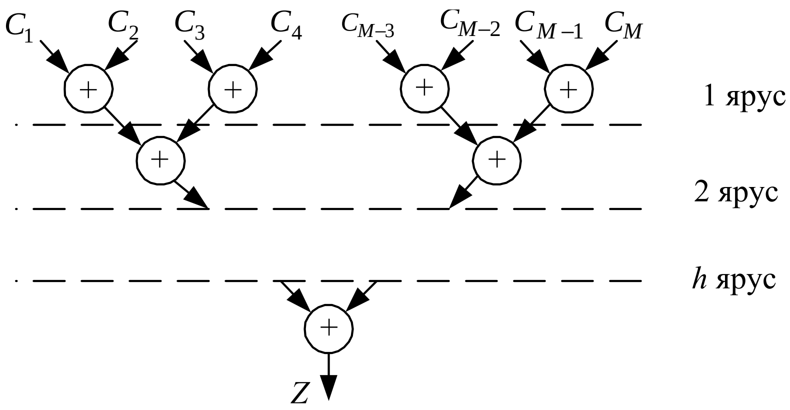

Рис. 1. Граф алгоритму паралельно-паралельного групового підсумовування

Алгоритм паралельно-паралельного групового підсумовування є каскадним. Час обчислення суми макрооперації групового підсумовування за таким алгоритмом залежить від висоти графу (кількості ярусів), яка обчислюється так:

$$h = \lceil \log_2 M \rceil,$$

де $\lceil \ \rceil$ – операція округлення до більшого цілого числа.

У кожному ярусі операнди розбиваються на пари, для кожної з яких обчислюється сума. Загальна кількість операцій додавання для обчислення суми макрооперації групового підсумовування дорівнює:

$$U = \frac{M}{2} + \frac{M}{4} + \frac{M}{8} + \cdots + 1 = M - 1.$$

Підвищити швидкодію обчислення, ефективність використання та орієнтувати структуру макрооперації групового підсумовування на НВІС-реалізацію можна, використовуючи вертикальне та багатооперандне додавання [3–7].

Тому *метою роботи* є модифікація методу обчислення оператора групового підсумовування на основі вертикального та багатооперандного підходів та розроблення НВІС-структури пристрою для його реалізації.

Виклад основного матеріалу

У нейромережах для ефективного обчислення в реальному часі оператора групового підсумовування доцільно використовувати вертикальний та багатооперандний підходи для його реалізації. З використанням таких підходів процес обчислення оператора групового підсумовування розглядається як виконання єдиної операції, що ґрунтується на базовій операції додавання значень бітів розрядного зрізу, тобто зводиться до вертикальної моделі обчислення. Замінивши у формулі (3) порядок підсумовування переходимо до вертикальної моделі обчислення оператора групового підсумовування, яка записується так:

$$Z = \sum_{i=1}^{n} 2^{-i} \sum_{j=1}^{M_i} C_{ji} , \tag{4}$$

де M_i – кількість доданків у i-м розрядному зрізі.

Існуючі вертикальні методи обчислення операції групового підсумовування зводять процес обчислення до перетворення багаторядного коду на однорядний. Таке перетворення ґрунтується на базовій операції перетворення трирядного коду на дворядний:

$$E = \begin{cases} C_{(j-1)1} \ldots C_{(j-1)(n-1)}\, C_{(j-1)n} \\ + \\ C_{j1} \ \ldots \ C_{j(n-1)}\, C_{jn} \\ + \\ C_{(j+1)1} \ldots C_{(j+1)(n-1)}\, C_{(j+1)n} \end{cases} = \begin{cases} 0\, S_1 \ldots S_{n-1}\, S_n \\ + \\ P_0\, P_1 \ldots P_{n-1}\, 0 \end{cases}. \tag{5}$$

Перетворення трирядного коду на дворядний здійснюється за допомогою шару однорозрядних суматорів, що не мають зв'язків між собою. Для зменшення часу перетворення багаторядного коду в однорядний шари однорозрядних суматорів необхідно об'єднати за принципом дерева Уоллеса [3, 4]. Кількість шарів однорозрядних суматорів для обчислення оператора групового підсумовування визначається за формулою:

$$K = \lceil \log_{1.5} 0{,}5M \rceil. \tag{6}$$

Обчислення оператора групового підсумування за таким методом розглядається як виконання єдиної операції, де одиниці переносів враховуються тільки один раз під час завершального етапу перетворення дворядного коду на однорядний.

Пришвидшити процес перетворення багаторядного коду на однорядний пропонується з використанням таких однорозрядних операцій:

$$E_{3-2} = \begin{cases} C_{ji} \\ + \\ C_{(j+1)i} \\ + \\ C_{(j+2)i} \end{cases} = \begin{cases} P_{i-1} \\ + \\ S_i \end{cases}, \quad E_{7-3} = \begin{cases} C_{ji} \\ + \\ C_{(j+1)i} \\ + \\ C_{(j+2)i} \\ + \\ C_{(j+3)i} \\ + \\ C_{(j+4)i} \\ + \\ C_{(j+5)i} \\ + \\ C_{(j+6)i} \end{cases} = \begin{cases} P_{i-2} \\ + \\ S_{i-1} \\ + \\ S_i \end{cases}, \quad E_{15-4} = \begin{cases} C_{ji} \\ + \\ C_{(j+1)i} \\ + \\ C_{(j+2)i} \\ + \\ C_{(j+3)i} \\ + \\ C_{(j+4)i} \\ + \\ C_{(j+5)i} \\ + \\ C_{(j+6)i} \\ + \\ C_{(j+7)i} \\ + \\ C_{(j+8)i} \\ + \\ C_{(j+9)i} \\ + \\ C_{(j+10)i} \\ + \\ C_{(j+11)i} \\ + \\ C_{(j+12)i} \\ + \\ C_{(j+13)i} \\ + \\ C_{(j+14)i} \end{cases} = \begin{cases} P_{i-3} \\ + \\ S_{i-2} \\ + \\ S_{i-1} \\ + \\ S_i \end{cases} \tag{7}$$

де $E_{3\text{-}2}$, $E_{7\text{-}3}$ і $E_{15\text{-}4}$ – результати однорозрядних операцій додавання відповідно трьох, семи і п'ятнадцяти операндів. Для реалізації таких операцій використовуються 3-, 7- і 15-входові однорозрядні суматори.

Аналітичні вирази для реалізації 7-входового однорозрядного суматора запишуться так:

$$S_2(2^0) = Y_0L_1 \vee Y_1L_0 \vee Y_0L_3 \vee Y_1L_2 \vee Y_2L_1 \vee Y_3L_0 \vee Y_1L_4 \vee Y_2L_3 \vee Y_3L_2 \vee Y_3L_4,$$
$$S_1(2^1) = Y_0L_2 \vee Y_1L_1 \vee Y_2L_0 \vee Y_2L_1 \vee Y_3L_0 \vee Y_2L_4 \vee Y_3L_3 \vee Y_3L_4 \vee Y_0L_3 \vee Y_1L_2, \qquad (8)$$
$$P(2^2) = Y_0L_4 \vee Y_1L_3 \vee Y_2L_2 \vee Y_3L_1 \vee Y_1L_4 \vee Y_2L_3 \vee Y_3L_2 \vee Y_2L_4 \vee Y_3L_3 \vee Y_3L_4,$$

де $Y_0 = \overline{C_7C_6C_5}$; $Y_1 = \overline{C_7C_6}C_5 \vee \overline{C_7}C_6\overline{C_5} \vee C_7\overline{C_6C_5}$; $Y_2 = \overline{C_7}C_6C_5 \vee C_7\overline{C_6}C_5 \vee C_7C_6\overline{C_5}$;
$Y_3 = C_7C_6C_5$; $L_0 = \overline{C_4C_3C_2C_1}$; $L_1 = \overline{C_4C_3C_2}C_1 \vee \overline{C_4C_3}C_2\overline{C_1} \vee \overline{C_4}C_3\overline{C_2C_1} \vee C_4\overline{C_3C_2C_1}$;
$L_2 = \overline{C_4C_3}C_2C_1 \vee \overline{C_4}C_3\overline{C_2}C_1 \vee C_4\overline{C_3C_2}C_1 \vee \overline{C_4}C_3C_2\overline{C_1} \vee C_4\overline{C_3}C_2\overline{C_1} \vee C_4C_3\overline{C_2C_1}$;
$L_3 = \overline{C_4}C_3C_2C_1 \vee C_4\overline{C_3}C_2C_1 \vee C_4C_3\overline{C_2}C_1 \vee C_4C_3C_2\overline{C_1}$; $L_4 = C_4C_3C_2C_1$.

На основі аналітичних виразів (8) синтезуємо комбінаційний 7-входовий однорозрядний суматор, схему якого подано на рис. 2.

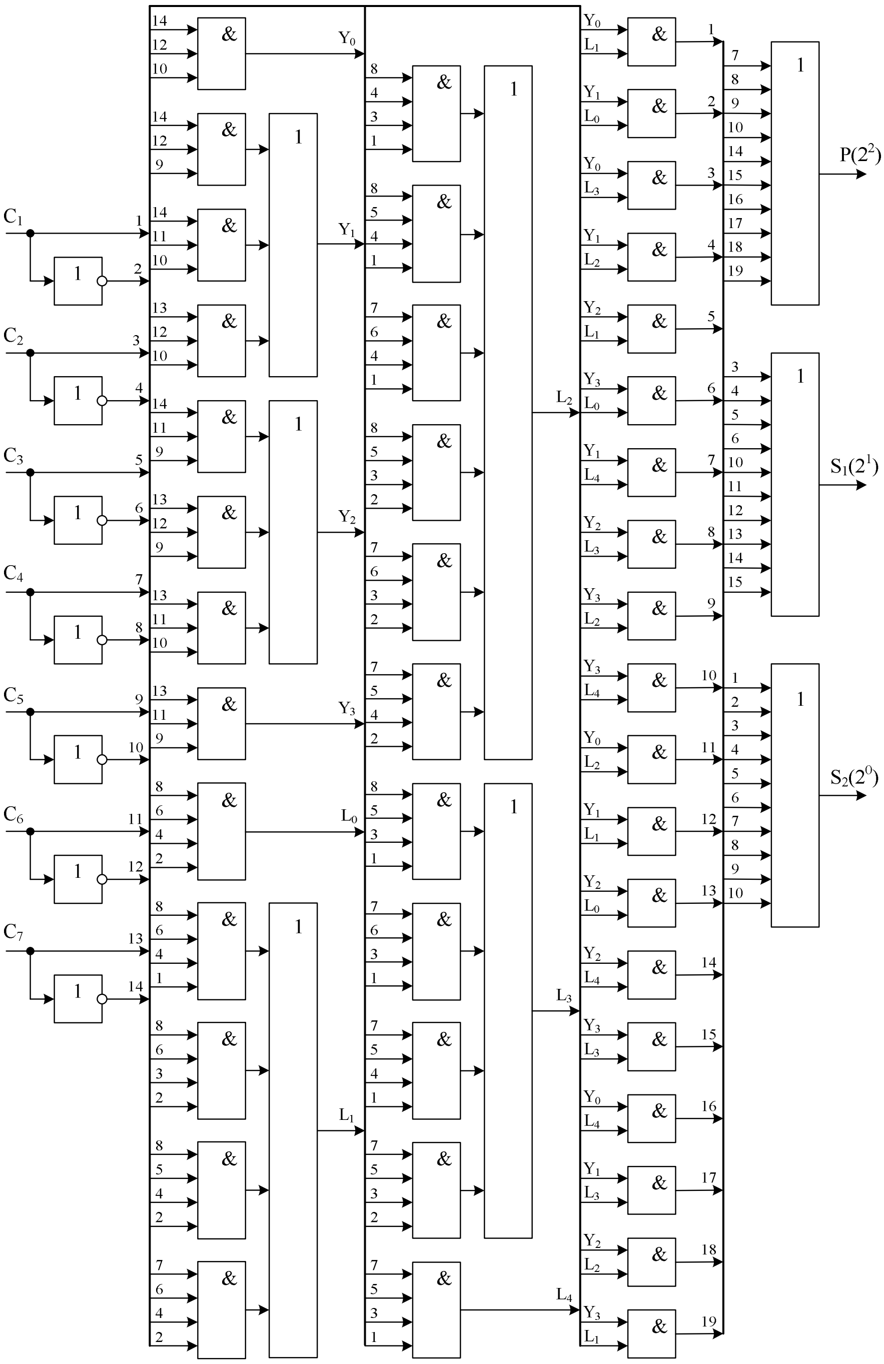

Рис. 2. Схема комбінаційного 7-входового однорозрядного суматора

Швидкодія комбінаційного 7-входового однорозрядного суматора визначається часом затримки проходження даних з входу на вихід і обчислюється так:

$$t_{См_{7-3}} = 5t_{лог.I},$$

де $t_{лог.I}$ – час спрацювання логічного елемента *I*.

Розроблятимемо аналітичний вираз для синтезу 15-входового однорозрядного суматора поетапно.

На *першому етапі* розробки розбиваємо вхідні дані на чотири групи так: $L=C_1\ C_2\ C_3\ C_4$, $Y=C_5\ C_6\ C_7$, $K=C_8\ C_9\ C_{10}\ C_{11}$, $D=C_{12}\ C_{13}\ C_{14}\ C_{15}$.

На *другому етапі* для кожної групи формуємо аналітичні вирази для визначення кількості одиниць у групі:

- група L

$$L_0 = \overline{C_4C_3C_2}\,\overline{C_1};\quad L_1 = \overline{C_4C_3C_2}C_1 \vee \overline{C_4C_3}C_2\overline{C_1} \vee \overline{C_4}C_3\overline{C_2C_1} \vee C_4\overline{C_3C_2C_1};$$

$$L_2 = \overline{C_4C_3}C_2C_1 \vee \overline{C_4}C_3\overline{C_2}C_1 \vee C_4\overline{C_3C_2}C_1 \vee \overline{C_4}C_3C_2\overline{C_1} \vee C_4\overline{C_3}C_2\overline{C_1} \vee C_4C_3\overline{C_2C_1};$$

$$L_3 = \overline{C_4}C_3C_2C_1 \vee C_4\overline{C_3}C_2C_1 \vee C_4C_3\overline{C_2}C_1 \vee C_4C_3C_2\overline{C_1};\quad L_4 = C_4C_3C_2C_1.$$

- група Y

$$Y_0 = \overline{C_7C_6C_5};\quad Y_1 = \overline{C_7C_6}C_5 \vee \overline{C_7}C_6\overline{C_5} \vee C_7\overline{C_6C_5};\quad Y_2 = \overline{C_7}C_6C_5 \vee C_7\overline{C_6}C_5 \vee C_7C_6\overline{C_5};$$

$$Y_3 = C_7C_6C_5.$$

- група K

$$K_0 = \overline{C_{11}C_{10}C_9C_8};\quad K_1 = \overline{C_{11}C_{10}C_9}C_8 \vee \overline{C_{11}C_{10}}C_9\overline{C_8} \vee \overline{C_{11}}C_{10}\overline{C_9C_8} \vee C_{11}\overline{C_{10}C_9C_8};$$

$$K_2 = \overline{C_{11}C_{10}}C_9C_8 \vee \overline{C_{11}}C_{10}\overline{C_9}C_8 \vee C_{11}\overline{C_{10}C_9}C_8 \vee \overline{C_{11}}C_{10}C_9\overline{C_8} \vee C_{11}\overline{C_{10}}C_9\overline{C_8} \vee C_{11}C_{10}\overline{C_9C_8};$$

$$K_3 = \overline{C_{11}}C_{10}C_9C_8 \vee C_{11}\overline{C_{10}}C_9C_8 \vee C_{11}C_{10}\overline{C_9}C_8 \vee C_{11}C_{10}C_9\overline{C_8};\quad K_4 = C_{11}C_{10}C_9C_8.$$

- група D

$$D_0 = \overline{C_{15}C_{14}C_{13}C_{12}};\quad D_1 = \overline{C_{15}C_{14}C_{13}}C_{12} \vee \overline{C_{15}C_{14}}C_{13}\overline{C_{12}} \vee \overline{C_{15}}C_{14}\overline{C_{13}C_{12}} \vee C_{15}\overline{C_{14}C_{13}C_{12}};$$

$$D_2 = \overline{C_{15}C_{14}}C_{13}C_{12} \vee \overline{C_{15}}C_{14}\overline{C_{13}}C_{12} \vee C_{15}\overline{C_{14}C_{13}}C_{12} \vee \overline{C_{15}}C_{14}C_{13}\overline{C_{12}} \vee C_{15}\overline{C_{14}}C_{13}\overline{C_{12}} \vee C_{15}C_{14}\overline{C_{13}C_{12}};$$

$$D_3 = \overline{C_{15}}C_{14}C_{13}C_{12} \vee C_{15}\overline{C_{14}}C_{13}C_{12} \vee C_{15}C_{14}\overline{C_{13}}C_{12} \vee C_{15}C_{14}C_{13}\overline{C_{12}};\quad D_4 = C_{15}C_{14}C_{13}C_{12}.$$

На *третьому етапі* записуємо аналітичні вирази для груп *R* і *H*, які об'єднують відповідно групи *L* і *Y* та групи *K* і *D*:

$$R_0 = Y_0L_0;\quad R_1 = Y_1L_0 \vee Y_0L_1;\quad R_2 = Y_2L_0 \vee Y_1L_1 \vee Y_0L_2;\quad R_3 = Y_3L_0 \vee Y_2L_1 \vee Y_1L_2 \vee Y_0L_3;$$

$$R_4 = Y_3L_1 \vee Y_2L_2 \vee Y_1L_3 \vee Y_0L_4;\quad R_5 = Y_3L_2 \vee Y_2L_3 \vee Y_1L_4;\quad R_6 = Y_3L_3 \vee Y_2L_4;\quad R_7 = Y_3L_4;$$

$$H_0 = K_0D_0;\quad H_1 = K_1D_0 \vee K_0D_1;\quad H_2 = K_2D_0 \vee K_1D_1 \vee K_0D_2;$$

$$H_3 = K_3D_0 \vee K_2D_1 \vee K_1D_2 \vee K_0D_3;\quad H_4 = K_4D_0 \vee K_3D_1 \vee K_2D_2 \vee K_1D_3 \vee K_0D_4;$$

$$H_5 = K_4D_1 \vee K_3D_2 \vee K_2D_3 \vee K_1D_4;\quad H_6 = K_4D_2 \vee K_3D_3 \vee K_2D_4;$$

$$H_7 = K_4D_3 \vee K_3D_4; H_8 = K_4D_4.$$

На *четвертому етапі* на основі попередніх аналітичних виразів запишемо аналітичні вирази визначення кількості одиниць у вхідних даних, що надходять зі всіх 15 входів:

$$F_1 = R_0H_1 \vee R_1H_0;\quad F_2 = R_2H_0 \vee R_1H_1 \vee R_0H_2;\quad F_3 = R_3H_0 \vee R_2H_1 \vee R_1H_2 \vee R_0H_3;$$

$$F_4 = R_4H_0 \vee R_3H_1 \vee R_2H_2 \vee R_1H_3 \vee R_0H_4;\quad F_5 = R_5H_0 \vee R_4H_1 \vee R_3H_2 \vee R_2H_3 \vee R_1H_4 \vee R_0H_5;$$

$$F_6 = R_6H_0 \vee R_5H_1 \vee R_4H_2 \vee R_3H_3 \vee R_2H_4 \vee R_1H_5 \vee R_0H_6;$$

$$F_7 = R_7H_0 \vee R_6H_1 \vee R_5H_2 \vee R_4H_3 \vee R_3H_4 \vee R_2H_5 \vee R_1H_6 \vee R_0H_7;$$

$$F_8 = R_7H_1 \vee R_6H_2 \vee R_5H_3 \vee R_4H_4 \vee R_3H_5 \vee R_2H_6 \vee R_1H_7 \vee R_0H_8;$$

$$F_9 = R_7H_2 \vee R_6H_3 \vee R_5H_4 \vee R_4H_5 \vee R_3H_6 \vee R_2H_7 \vee R_1H_8;$$

$$F_{10} = R_7H_3 \vee R_6H_4 \vee R_5H_5 \vee R_4H_6 \vee R_3H_7 \vee R_2H_8; F_{11} = R_7H_4 \vee R_6H_5 \vee R_5H_6 \vee R_4H_7 \vee R_3H_8;$$

$$F_{12} = R_7H_5 \vee R_6H_6 \vee R_5H_7 \vee R_4H_8; F_{13} = R_7H_6 \vee R_6H_7 \vee R_5H_8; F_{14} = R_7H_7 \vee R_6H_8; F_{15} = R_7H_8.$$

На *п'ятому етапі* на основі попередніх аналітичних виразів запишемо аналітичні вирази для синтезу 15-входового однорозрядного суматора:

$$S_3(2^0) = F_1 \vee F_3 \vee F_5 \vee F_7 \vee F_9 \vee F_{11} \vee F_{13} \vee F_{15},$$

$$S_2(2^1) = F_2 \vee F_3 \vee F_6 \vee F_7 \vee F_{10} \vee F_{11} \vee F_{14} \vee F_{15},$$

$$S_1(2^2) = F_4 \vee F_5 \vee F_6 \vee F_7 \vee F_{12} \vee F_{13} \vee F_{14} \vee F_{15},$$

$$P(2^3) = F_8 \vee F_9 \vee F_{10} \vee F_{11} \vee F_{12} \vee F_{13} \vee F_{14} \vee F_{15}.$$

Аналогічно можна розробляти аналітичні вирази для синтезу багатовходових однорозрядних суматорів з більшою кількістю входів.

Для групового підсумовування багаторозрядних чисел використовуються багатовходові однорозрядні суматори, які синтезуються за вищерозробленими аналітичними виразами. Об'єднання таких суматорів за принципом дерева Уоллеса забезпечує перетворення багаторядного коду на дворядний, який перетворюється на однорядний за допомогою паралельного суматора. На рис. 3 подано приклад схеми пристрою для підсумовування восьми чисел розрядністю вісім.

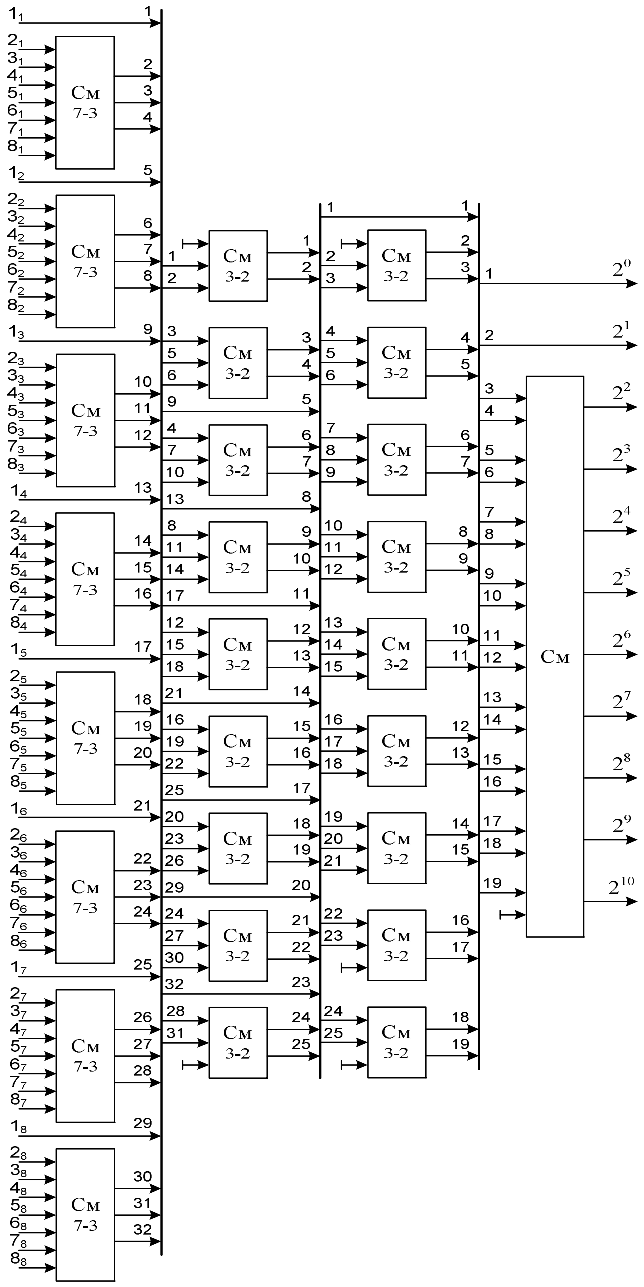

Рис. 3. Схема пристрою для підсумовування восьми чисел розрядністю вісім

Підсумовування чисел у цьому пристрої здійснюється за чотири етапи з використанням таких перетворень: 7-рядного коду на 3-рядний, 3-рядного коду на 2-рядний та 2-рядного коду на 1-рядний код.

На першому етапі обчислення за допомогою шару з восьми 7-входових однорозрядних суматорів, які не пов'язані між собою, 7-рядний код перетворюється на 3-рядний. На другому та третьому етапах за допомогою двох шарів, кожний з яких складається з дев'яти 3-входових однорозрядних суматорів, які не зв'язані між собою, 3-рядний код перетворюється на 2-рядний. На завершальному четвертому етапі за допомогою 9-розрядного паралельного суматора виконується перетворення 2-рядного коду на 1-рядний.

Час підсумовування в цьому пристрої визначається за такою формулою:

$$t_{БСм} = t_{См_{7-3}} + 2t_{См_{3-2}} + t_{См_{2-1}},$$

де $t_{См7\text{-}3}$ – час перетворення 7-рядного коду на 3-рядний, $t_{См3\text{-}2}$ – час перетворення 3-рядного коду на 2-рядний, $t_{См2\text{-}1}$ – час перетворення 2-рядного коду на 1-рядний.

Розроблені 7-входовий однорозрядний суматор та пристрій для підсумовування восьми чисел розрядністю вісім були описані мовою опису апаратних засобів VHDL у середовищі Xilinx ISE 13.1, відмодельовані вбудованими у це середовище засобами та реалізовані на основі ПЛІС Xilinx Spartan3E xc3s500e-5fg320. Ці пристрої можуть бути використані як компоненти для синтезу нейроелементів.

Висновки

1. Підвищення швидкодії обчислення оператора групового підсумовування досягається комплексним використанням вертикального та багатооперандного підходів, при якому обчислення ґрунтується на вертикальних операціях і розглядається як єдиний процес підсумовування.

2. Використання для синтезу пристроїв обчислення оператора групового підсумовування 15-входових і 7-входових однорозрядних суматорів забезпечує зменшення кількості перетворень і, відповідно, часу обчислення.

3. Об'єднання багатовходових однорозрядних суматорів за принципом дерева Уоллеса забезпечує зменшення часу перетворення багаторядного коду на дворядний.

1. Цмоць І.Г. Інформаційні технології та спеціалізовані засоби обробки сигналів і зображень у реальному часі. – Львів: УАД, 2005. – 227 с. 2. Справочник по цифровой вычислительной технике:(Электрон. вычисл. машины системы) / Б.Н. Малиновский, В.Я. Александров, В.П. Боюн и др. Под ред. Б.Н. Малиновского. – К.: «Техніка», 1980. 320 с. 3. Цифровая обработка информации на основе быстродействующих БИС / С.А. Гамкрелидзе, А.В. Завьялов, П.П. Мальцев, В.Г. Соколов; Под ред. В.Г. Домрачева. – М.: Энероатомиздат, 1988. – 136 с. 4. Коуги П.М. Архитектура конвейерных ЭВМ.: Пер. с англ. – М.: Радио и связь, 1985. – 360 с. 5. Гамаюн В.П. О развитии многооперандных вычислительных структур / В.П. Гамаюн // Управляющие системы и машины. – 1990. – №4. – С. 31–33. 6. Ромм Я.Е. Методы обработки потока целочисленных групповых данных. Групповые арифметические операции / Я.Е. Ромм // Кибернетика и системный анализ. – 1998. – №3. – С.123–151. 7. Паулин О.Н. Модель и метод проектирования многооперандных сумматоров на базе симметрических функций / О.Н. Паулин, А.М. Ляховецкий // Тези доповідей на міжнар. конф. з індуктив. моделювання МКІМ-2002. – Львів: ДНДІ, 2002. – С. 208–213.