

МЕТОД СИНТЕЗУ ПРИСТРОЇВ ПАРАЛЕЛЬНО-ПОТОКОВОГО ОБЧИСЛЕННЯ СКАЛЯРНОГО ДОБУТКУ У РЕАЛЬНОМУ ЧАСІ

Іван Цмоць¹, Юрій Опотяк², Богдан Штогрінець³

Національний університет “Львівська політехніка”,
кафедра автоматизованих систем управління,
вул. С. Бандери, 14, Львів, Україна

¹ E-mail: ivan.h.tsmots@lpnu.ua, ORCID: 0000-0002-4033-8618

² E-mail: yurii.v.opotyak@lpnu.ua, ORCID: 0000-0001-9889-4177

³ E-mail: bohdan.v.shtohrinets@lpnu.ua, ORCID: 0009-0001-4956-3862

© Цмоць І. Г., Опотяк Ю. В., Штогрінець Б. В., 2023

Розроблено граф-схему узагальненого алгоритму паралельно-потокowego обчислення скалярного добутку, особливістю якої є використання однотипних операцій формування часткових добутків, починаючи з молодших розрядів множників, обчислення макрочасткового добутку та його додавання до часткового результату, зсунутого вправо на кількість розрядів, використаних під час формування часткових добутків. Запропоновано розроблення ПКВМ-структур пристроїв паралельно-потокowego обчислення скалярного добутку виконувати за такими принципами: використання однотипних сходенок конвеєра; виконання обчислень на основі операцій додавання, інверсії та зсуву; здійснення обчислення скалярного добутку як єдиної операції; регулярності та локалізації зв'язків між сходинками конвеєра; узгодження тривалості конвеєрного такту із часом введення даних і часом виведення результатів обчислень; просторово-часового розпаралелювання процесу обчислення скалярного добутку. Розроблено алгоритм і структуру паралельно-потокowego пристрою обчислення скалярного добутку з прямим формуванням часткових добутків на основі аналізу одного розряду множників, яка забезпечує роботу із найменшим конвеєрним тактом. Розроблено алгоритм і структуру паралельно-потокowego пристрою обчислення скалярного добутку із формуванням часткових добутків для суми двох пар добутків з аналізом одного розряду множників, яку доцільно використовувати для невеликої кількості операндів. Розроблено алгоритм і структуру паралельно-потокowego пристрою обчислення скалярного добутку із формуванням часткових добутків за модифікованим алгоритмом Бута, яка забезпечує зменшення витрат обладнання під час опрацювання операндів розрядністю $n \geq 24$. Розроблено алгоритм і структуру пристрою обчислення скалярного добутку з формуванням групових часткових добутків, яка забезпечує найменші витрати обладнання, якщо $n=8$, для $N>8$. Розроблено метод синтезу ПКВМ-пристроїв паралельно-потокowego обчислення скалярного добутку в реальному часі, який за рахунок вибору алгоритму формування часткових добутків, структури пристрою із переліку розроблених і узгодження такту роботи конвеєра вибраної структури із часом надходження вхідних даних забезпечує високу ефективність використання обладнання.

Ключові слова: просторово-часове розпаралелювання; граф-схема узагальненого алгоритму; витрати обладнання; узгодження такту роботи конвеєра.

Вступ

Розвиток інформаційних технологій потребує оброблення масивів даних, а обсяг таких даних постійно зростає. Велику частину таких даних становлять власне поточкові дані – цифрова обробка

сигналів, цифрові відеодані, машинний зір тощо [1–3]. Важливою вимогою є забезпечення обробки великих масивів даних у реальному часі. З іншого боку, постійно зростає складність власне алгоритмів такої обробки.

Як відомо, одним із підходів, що забезпечує реалізацію складних алгоритмів обробки даних у реальному часі, є їх розпаралелення. Використання їх апаратної реалізації на програмованих користувачем вентильних матрицях (ПКВМ) є також очевидним способом забезпечення високої продуктивності систем обробки даних [4–6]. Однак для реалізації на ПКВМ паралельно-потокowego обробки даних необхідно створити нові, ефективні з погляду використаних апаратних ресурсів, методи та засоби забезпечення такого оброблення. У роботі розглянуто підхід до вдосконалення методів та відповідних ПКВМ архітектур, які здатні забезпечити розглянуті вище вимоги.

Постановка проблеми

Сучасний етап розвитку технологій цифрової обробки сигналів, потокowego обробки, нейромережевих технологій характеризується розширенням галузей їх застосування, переважна частина з яких сьогодні потребує опрацювання великих обсягів даних у реальному часі. Більшість алгоритмів цифрової обробки сигналів і нейроалгоритмів ґрунтуються на операціях обчислення скалярного добутку [7, 8]. Час виконання таких алгоритмів великою мірою залежить від часу обчислення скалярного добутку. Традиційно виконання такої операції здійснюється за такою формулою:

$$Z = \sum_{j=1}^N W_j X_j \cdot \quad (1)$$

Для обчислення скалярного добутку за формулою (1) потрібно виконати N множень і $N-1$ додавань [7]. Основний спосіб зменшення часу обчислення скалярного добутку – розпаралелення процесу обчислення та апаратна його реалізація із використанням технологій надвеликих інтегральних схем, наприклад, ПКВМ.

Існують два підходи до апаратної реалізації алгоритмів обчислення скалярного добутку. Перший з них ґрунтується на операціях множення і додавання, а другий – на операціях додавання, інверсії та зсуву. Для ПКВМ-реалізацій доцільно застосувати другий підхід, за допомогою якого можна забезпечити однорідність і регулярність структури обчислення скалярного добутку та високу ефективність використання обладнання, адаптуючи його до інтенсивності надходження даних [8].

Для опрацювання інтенсивних потоків даних у реальному часі найдоцільніше використовувати нерекурсивні структури обчислення скалярного добутку, які працюють за конвеєрним принципом. Особливістю таких структур є відсутність обернених зв'язків і можливість зміни тривалості конвеєрного такту. Конвеєризація нерекурсивних структур передбачає розподіл їх на сходинки, кожна із яких складається із двох компонентів – буферної пам'яті та операційних вузлів [8, 9].

Конвеєрні нерекурсивні структури обчислення скалярного добутку можна розділити на два класи: перший – матричні, що ґрунтуються на паралельному формуванні та підсумовуванні часткових добутків, другий – паралельно-потоковой, що ґрунтуються на послідовному формуванні макрочасткових добутків та їх додаванні до раніше накопичених макрочасткових добутків, зсунутих на відповідну кількість розрядів. Основним недоліком конвеєрних матричних пристроїв обчислення скалярного добутку є неоднорідність структури та нерегулярність зв'язків, що ускладнює ПКВМ-реалізацію.

Конвеєрні паралельно-потоковой структури обчислення скалярного добутку, за рахунок використання однотипних сходинок з регулярними зв'язками, максимально орієнтовані на ПКВМ-реалізацію. У таких структурах процес управління обчисленням скалярного добутку зводиться до подавання тактових імпульсів, які просувають результати обчислень із входу на вихід, записуючи їх у буферну пам'ять. Частота подавання тактових імпульсів залежить від часу звертання до буфер-

ної пам'яті та часу виконання операцій в операційних вузлах. Тривалість конвеєрного такту роботи є визначальною для вибору складності операцій, які виконуються в операційних вузлах сходінок конвеєра, і повинна бути приблизно однаковою. Кількість сходінок конвеєра залежить як від тривалості конвеєрного такту, так і від розрядності вхідних множників і кількості розрядів, які аналізують для формування часткових добутоків. Щоб забезпечити високу ефективність використання обладнання в конвеєрних паралельно-потоківих структурах обчислення скалярного добутку, необхідно узгодити конвеєрний такт роботи із часом введення вхідних операндів і часом виведення результатів обчислення скалярного добутку.

Тому розроблення базових структур і алгоритмів для паралельно-потоківого обчислення скалярного добутку (ППОСД), орієнтованих на ПКВМ-реалізацію, є актуальним завданням.

Аналіз останніх досліджень та публікацій

Аналіз систем, які використовують обчислення скалярного добутку [9–11], показує, що переважно такі засоби є програмними. Однак недоліком програмних засобів є невисока продуктивність, що, як правило, не дає змогу забезпечити опрацювання потоків даних у реальному часі. Підвищення продуктивності програмних засобів можуть забезпечити високопродуктивні комп'ютерні системи, недоліком яких є великі габарити і енергоспоживання. Отже, для обробки інтенсивних потоків даних у реальному часі доцільно застосувати апаратну реалізацію алгоритмів, використовуючи для цього сучасні ПКВМ. Такі засоби забезпечують одночасно малі габарити та високу швидкодію.

Аналіз робіт [9, 12, 13] демонструє існування двох підходів до апаратної реалізації алгоритмів обчислення скалярного добутку. Перший ґрунтується на операціях множення та додавання, а другий – на елементарних арифметичних операціях додавання, інверсії та зсуву. Перший підхід, як правило, застосовують для обчислення скалярного добутку як сукупності операцій множення і додавання, що, однак, не забезпечує оптимізації структури кінцевого пристрою обробки даних та його часових параметрів.

Натомість використання базису елементарних арифметичних операцій та багатооперандного підходу, за якого обчислення скалярного добутку розглядається як виконання єдиної операції, забезпечує оптимізацію структури пристрою за показниками швидкодії та апаратних витрат. Основою алгоритмів обчислення скалярного добутку з використанням багатооперандного підходу та базису елементарних арифметичних операцій є формування часткових добутоків з подальшим їх додаванням.

Аналізування структур пристроїв [14–16], застосовуваних для реалізації алгоритмів обчислення скалярного добутку з використанням багатооперандного підходу та базису елементарних арифметичних операцій, показав, що для реалізації використовують два типи структур: рекурсивні та нерекурсивні. Структурною особливістю рекурсивних пристроїв є наявність обернених зв'язків. У таких пристроях обчислення скалярного добутку здійснюється за декілька ітерацій, кількість яких визначається алгоритмом формування часткових добутоків. Недоліком рекурсивних пристроїв обчислення скалярного добутку є порівняно невисока швидкодія.

Більш швидкодійні нерекурсивні пристрої, особливістю яких є відсутність обернених зв'язків [17–19]. Такі пристрої поділяють на два класи: перший – матричні, які використовують паралельне формування та підсумовування усіх часткових добутоків; другий – паралельно-потоківі, які використовують послідовне формування та додавання із відповідним зсувом часткових добутоків. Недоліком матричних пристроїв обчислення скалярного добутку є неоднорідність структури. Натомість пристрої ППОСД мають однорідну структуру з регулярними зв'язками і більше орієнтовані на ПКВМ-реалізацію.

З аналізу публікацій випливає, що побудова високоефективних ПКВМ-структур ППОСД потребує розроблення базових алгоритмів і структур та шляхів узгодження конвеєрного такту з часом надходження вхідних даних.

Формулювання цілі статті

Мета роботи – створення методу синтезу ПКВМ-пристроїв ППОСД у режимі реального часу з високою ефективністю використання обладнання.

Для досягнення поставленої мети необхідно розв’язати такі задачі:

- розробити граф-схему узагальненого алгоритму та вибрати принципи синтезу пристроїв ППОСД;
- розробити базові алгоритми та структури пристроїв ППОСД;
- оцінити параметри розроблених структур пристроїв ППОСД.

1. Граф-схема узагальненого алгоритму ППОСД та принципи синтезу пристроїв для його реалізації

За паралельно-потокowego обчислення скалярного добутку вхідні дані X_j W_j , де $j = 1, \dots, N$, повинні надходити одночасно на всі входи паралельним двійковим кодом. N пар вхідних операндів отримують, використовуючи послідовно-паралельний перетворювач (ППП). Для ППОСД розроблена узагальнена аналітична модель, яка записується так:

$$Z = (f_{3nZ} (f_{P_{Mm}} (f_{(P_{m1}, \dots, P_{mN})} (f_{3m1(X_1, \dots, X_N, W_1, \dots, W_N)} (\dots (Rkf_{Z_1} (f_{P_{M1}} (f_{(P_{11}, \dots, P_{1N})} (f_{3m1(X_1, \dots, X_N, W_1, \dots, W_N)} (f_{(W_j \otimes NW, X_j \otimes NX)})))))))))) \quad (2)$$

де Z – вихід пристрою паралельно-потокowego обчислення скалярного добутку; f_{3nZ} – буферне запам’ятовування результату скалярного добутку; $f_{P_{Mm}}$ – обчислення m -го макрочасткового добутку; $f_{(P_{m1}, \dots, P_{mN})}$ – формування групових часткових добутків на m -й конвеєрній сходиці; $f_{3m1(X_1, \dots, X_N, W_1, \dots, W_N)}$ – буферне запам’ятовування операндів на m -й конвеєрній сходиці; Rkf_{Z_1} – обчислення першого часткового результату $Z_1 = Z_0 + P_{M1}$ та зсув його праворуч на k розрядів, $f_{P_{M1}}$ – обчислення першого макрочасткового добутку; $f_{(P_{11}, \dots, P_{1N})}$ – формування групових часткових добутків на першій конвеєрній сходиці; $f_{3m1(X_1, \dots, X_N, W_1, \dots, W_N)}$ – буферне запам’ятовування операндів на першій конвеєрній сходиці; $f_{(W_j \otimes NW, X_j \otimes NX)}$ – послідовно-паралельний запис вхідних операндів.

Обчислення скалярного добутку в паралельно-потокowому пристрої виконується на базі однотипних операцій, які зводяться до формування макрочасткових добутків P_{Mh} і їх додавання до раніше накопичених сум, зсунутих вправо на k розрядів, згідно з формулою:

$$Z_h = 2^{-k} Z_{h-1} + P_{Mh}, \quad (3)$$

де $Z_0=0$.

Кількість сходинок конвеєра визначається розрядністю n операндів X_j і кількістю розрядів k , які аналізують для формування макрочасткових добутків P_{Mh} . Формування h -го макрочасткового добутку P_{Mh} ($h = 1, \dots, m$, де $m = \frac{én}{k}$, $é$ – знак заокруглення до більшого цілого числа) виконується підсумовуванням групових часткових добутків P_{jh} , які отримують, проаналізувавши k розрядів, відповідно до формули:

$$P_{Mh} = \mathring{a}_{j=1}^N (W_j X_{jh1} + 2^{-1} W_j X_{jh2} + \dots + 2^{-(k-1)} W_j X_{jhk}) = \mathring{a}_{j=1}^N P_{jh}. \quad (4)$$

Для ППОСД доцільно використовувати аналіз молодших розрядів для формування часткових добутоків [9, 20]. Від кількості проаналізованих розрядів k та алгоритмів формування групових часткових добутоків P_{jh} залежить структура сходинки конвеєра.

Граф-схему узагальненого алгоритму паралельно-потокowego обчислення скалярного добутку наведено на рис. 1, де X_j, W_j – j -ті вхідні дані; $f_{(W_j \otimes_{NW} X_j \otimes_{NX})}$ – оператор послідовно-паралельного перетворення вхідних даних; $f_{3nh(X_j)}, f_{3nh(W_j)}$ – оператори запису даних у буферну пам'ять h -ї сходинки конвеєра відповідно X_j і W_j ; $f_{3nh(Z_{h-1})}$ – оператор запису $(h-1)$ -го часткового результату Z_{h-1} в буферну пам'ять h -ї сходинки конвеєра; $f_{(P_{hj})}$ – оператор формування j -го часткового добутку на h -й сходинці конвеєра; $f_{(P_{mh})}$ – оператор обчислення макрочасткового добутку на h -й сходинці конвеєра; $f(Z_h)$ – оператор обчислення часткового результату на h -й сходинці конвеєра.

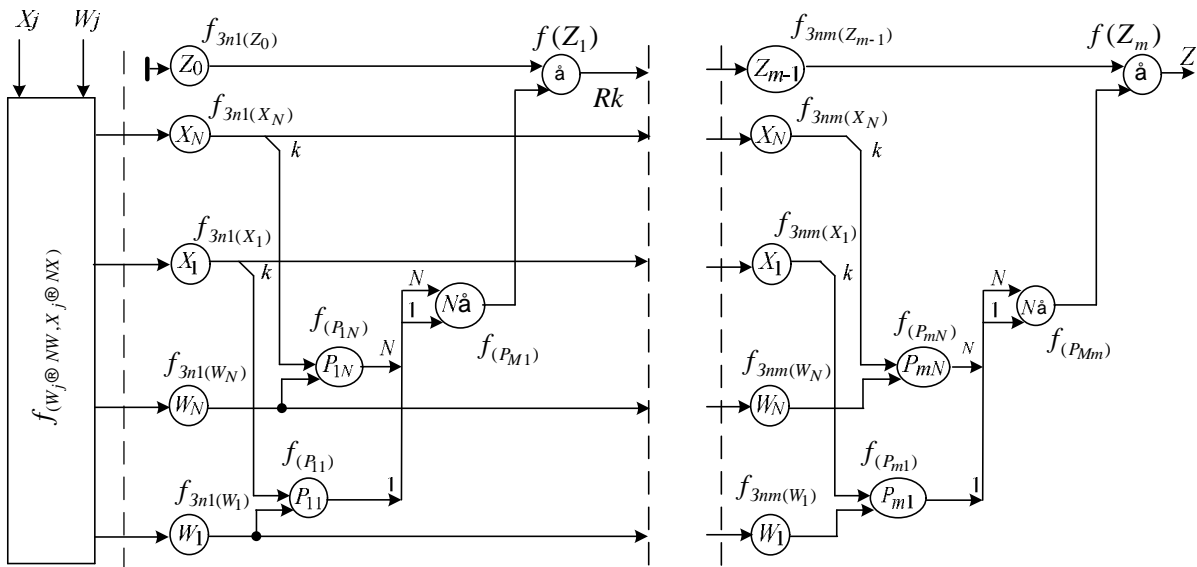


Рис. 1. Граф-схема узагальненого алгоритму ППОСД

Для найповнішого використання переваг ПКВМ технології запропоновано реалізацію алгоритму ППОСД здійснювати за такими принципами:

- використання однотипних сходинок конвеєра;
- виконання обчислень на основі операцій додавання, інверсії та зсуву;
- здійснення обчислення скалярного добутку як єдиної операції;
- регулярності та локалізації зв'язків між сходинками конвеєра;
- узгодження тривалості конвеєрного такту із часом введення даних і часом виведення результатів обчислень;
- просторово-часового розпаралелювання процесу обчислення скалярного добутку;
- зменшення кількості виводів інтерфейсу пристрою обчислення скалярного добутку.

Для вибору варіанта пристрою ППОСД використовують критерій ефективності використання обладнання E , який зв'язує швидкодію з витратами обладнання та дає оцінку елементам пристрою за [9]. Кількісне значення оцінювання ефективності використання обладнання пристроєм ППОСД $E_{ПСОД}$ обчислюють за формулою:

$$E_{ПСОД} = \frac{R_{СД}}{T_{\kappa} W_{ПСОД}}, \tag{5}$$

де $R_{СД}$ – складність алгоритму обчислення скалярного добутку; T_{κ} – тривалість конвеєрного такту; $W_{ПСОД}$ – витрати обладнання на реалізацію пристрою ППОСД.

2. Базові алгоритми та структури пристроїв ППОСД

Алгоритм і структура паралельно-потокowego пристрою ППОСД з прямим формуванням часткових добутків на основі аналізу одного розряду множників. Пропонований алгоритм виконується за допомогою n однотипних базових операцій, де n – розрядність множників X_j . Кожна базова операція потребує виконання таких операцій: формування N часткових добутків P_{ji} ($i = 1, \dots, n$, де n – розрядність множників X_j), обчислення i -го макрочасткового добутку P_{Mi} та обчислення i -го часткового результату Z_i [9].

Часткові добутки P_{ji} формують, аналізуючи i -ті розряди множників X_{ji} відповідно до формули:

$$P_{ji} = \begin{cases} W_j, & \text{коли } X_{ji} = 1 \\ 0, & \text{коли } X_{ji} = 0 \end{cases} \quad (6)$$

Обчислення i -го макрочасткового добутку P_{Mi} виконують, підсумовуючи часткові добутки P_{ji} за формулою:

$$P_{Mi} = \sum_{j=1}^N P_{ji} \quad (7)$$

Операція обчислення i -го часткового результату Z_i виконується так:

$$Z_i = 2^{-1}Z_{i-1} + P_{Mi} \quad (8)$$

Паралельно-потокovou структуру, яка реалізовує алгоритм обчислення скалярного добутку з прямим формуванням часткових добутків на основі аналізу одного розряду множників, наведену на рис. 2, де СК – сходинка конвеєра, Рг – регістр, СМ – суматор, $NСМ$ – N -входовий суматор.

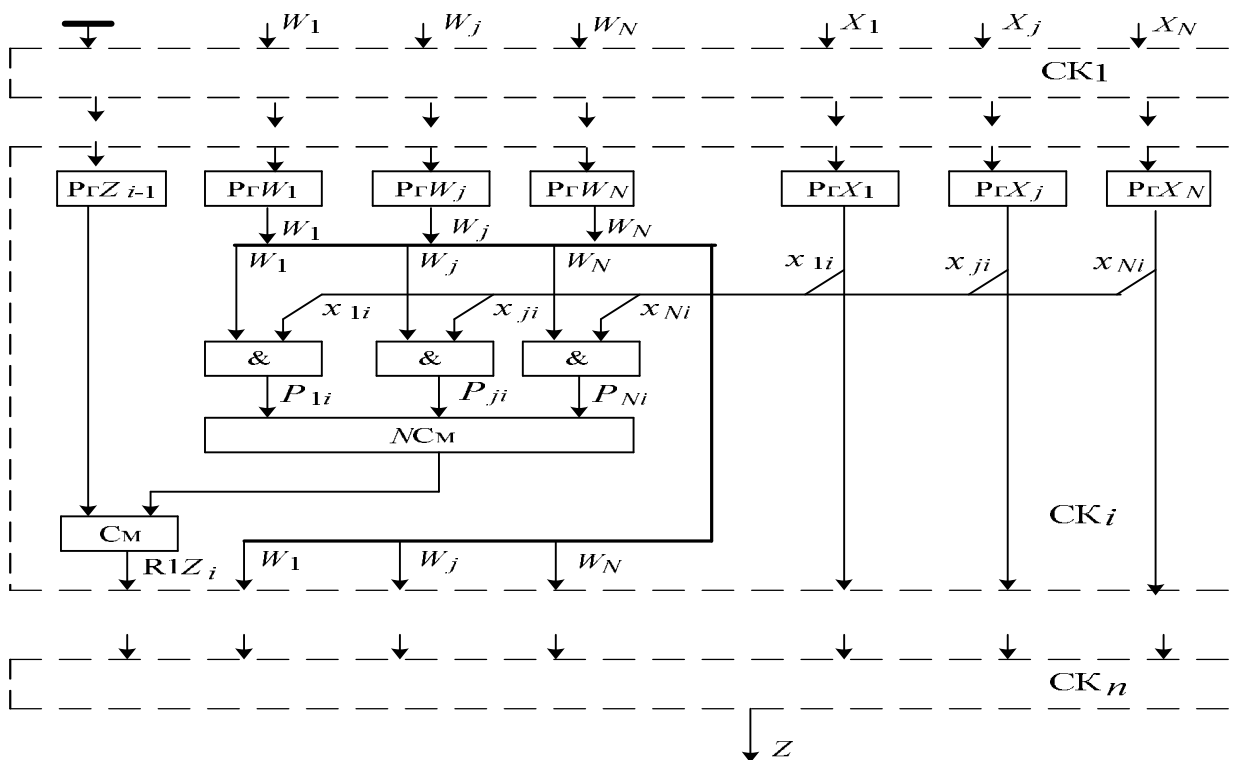


Рис. 2. Паралельно-потокова структура пристрою ППОСД з прямим формуванням часткових добутків на основі аналізу одного розряду множників

Особливістю розробленої структури паралельно-потокowego пристрою ППОСД із прямим формуванням часткових добутків на основі аналізу одного розряду множників є те, що кількість

сходинок конвеєра дорівнює розрядності множників X_j . Швидкодія такого пристрою визначається тактом роботи конвеєра, який обчислюють за формулою:

$$T_{k1} = t_{P_2} + t_I + t_{NC_m} + t_{C_m}, \quad (9)$$

де t_{P_2} – час запису в регістр; t_I – час затримки на логічному елементі І; t_{NC_m} – час підсумовування N макрочасткових добутоків; t_{C_m} – час додавання двох чисел.

Витрати обладнання на реалізацію цього пристрою визначаються виразом:

$$W_{П1} = n(2NW_{P_2} + W_{P_2} + NnW_I + W_{NC_m} + W_{C_m}), \quad (10)$$

де W_{P_2} , W_I , W_{NC_m} , W_{C_m} – затрати обладнання відповідно на регістр, логічний елемент І, N -входовий суматор і суматор.

Алгоритм і структура паралельно-потокowego пристрою ППОСД із формуванням часткових добутоків для суми двох пар добутоків з аналізом одного розряду множників. Обчислення скалярного добутку за цим алгоритмом передбачає розподіл парних добутоків на групи, кожна з яких складається із суми двох парних добутоків [21]. Для кожної m групи ($m = 1, 2, \dots, N/2$) починаючи з аналізу молодших розрядів множників на основі попередніх обчислень, формується частковий добуток. Формування i -го часткового добутку для m -ї пари добутоків $W_{2m-1}X_{(2m-1)i} + W_{2m}X_{2mi}$ виконується згідно з формулою:

$$P_{mi} = \begin{cases} 0, & \text{коли } X_{(2m-1)i} = X_{2mi} = 0 \\ W_{2m-1}, & \text{коли } X_{(2m-1)i} = 1, X_{2mi} = 0 \\ W_{2m}, & \text{коли } X_{(2m-1)i} = 0, X_{2mi} = 1 \\ W_{2m-1} + W_{2m}, & \text{коли } X_{(2m-1)i} = X_{2mi} = 1 \end{cases} \quad (11)$$

Формування за формулою (11) часткових добутоків забезпечує зменшення удвічі кількості часткових добутоків. На основі сформованих i -х часткових добутоків P_{mi} , виконуючи додавання, обчислюють i -й макрочастковий добуток $P_{Mi} = \bigoplus_{m=1}^{N/2} P_{mi}$. Обчислення скалярного добутку Z здійснюють підсумовуванням макрочасткових добутоків P_{Mi} згідно із формулою (8).

Паралельно-потокovou структура пристрою ППОСД з формуванням часткових добутоків для суми двох пар добутоків з аналізом одного розряду множників наведено на рис. 3, де ВПО – вузол попередніх обчислень; БФЧД – блок формування часткових добутоків; Км – комутатор; $N/2C_m$ – $N/2$ -входовий суматор.

Особливістю цієї структури є $N/2$ вузлів попередніх обчислень ВПО. Кожний ВПО $_m$ забезпечує отримання суми $W_{2m-1} + W_{2m}$, яка використовується для формування часткових добутоків для кожної групи операндів із двох парних добутоків. У кожному такті роботи одержані суми $W_{2m-1} + W_{2m}$ та операнди W_1, \dots, W_N і X_1, \dots, X_N записуються в регістри першої сходинок конвеєра СК $_1$. Обчислення скалярного добутку виконується під час проходження сум $W_{2m-1} + W_{2m}$, операндів W_1, \dots, W_N і X_1, \dots, X_N через всі сходинок конвеєра. Результат обчислення скалярного добутку отримуємо на виході n -ї сходинок конвеєра СК $_n$. Сходинок конвеєра є однотипними і з'єднані між собою локальними та регулярними з'єднаннями. Кожна i -та сходинок конвеєра СК $_i$ складається із $N/2$ блоків формування часткових добутоків, за допомогою яких отримуємо i -ті часткові добутоків P_{mi} . Підсумувавши i -ті часткові добутоків P_{mi} , на $N/2$ -входовому суматорі отримуємо i -й макрочастковий добуток P_{Mi} , який додається до $(i-1)$ -го часткового результату Z_{i-1} , зсунутого на один розряд вправо. На виході суматора C_m одержимо i -й частковий результат Z_i .

Результат обчислення першого скалярного добутку отримуємо на виході пристрою після n -го такту. У кожному наступному такті роботи на виході пристрою одержуватимемо результати обчислення наступних скалярних добутоків. Цей пристрій завдяки суміщенню у часі обчислення n скалярних добутоків забезпечує отримання на кожному такті результату обчислення скалярного добутку,

тобто у разі опрацювання неперервних потоків даних час обчислення дорівнює одному тактові, який обчислюється за формулою:

$$T_{к2} = t_{P_2} + t_{КМ} + t_{N/2C_m} + t_{C_m}, \quad (12)$$

де $t_{КМ}$ – час затримки проходження даних через комутатор; $t_{N/2C_m}$ – час підсумовування $N/2$ макрочасткових добутків.

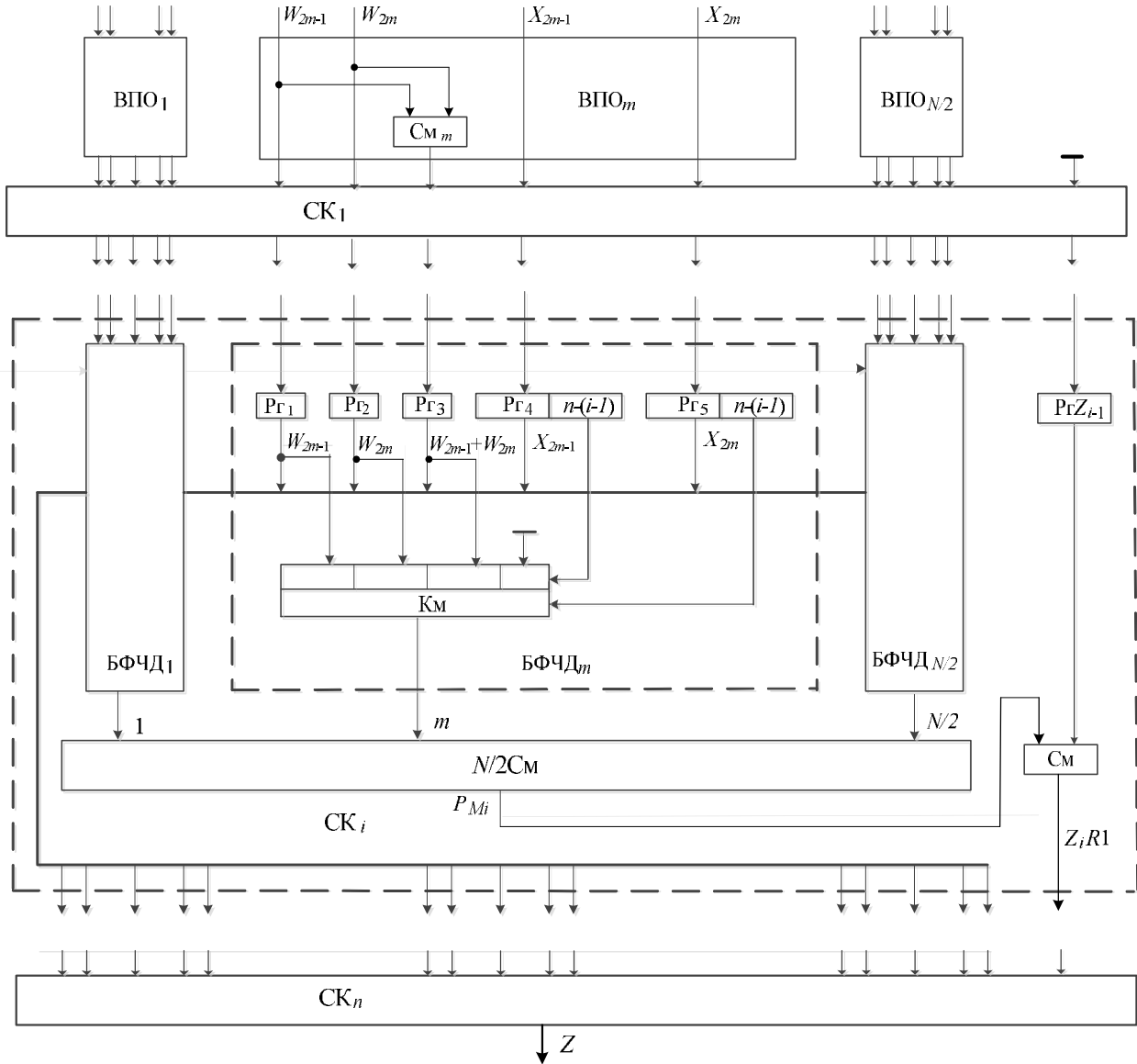


Рис. 3. Паралельно-потокова структура пристрою ППОСД з формуванням часткових добутків для суми двох пар добутків з аналізом одного розряду множників

Витрати обладнання на реалізацію пропонованого пристрою визначаються виразом:

$$W_{П2} = \frac{N}{2} W_{C_m} + n \frac{éN}{é2} (5W_{P_2} + W_{КМ}) + W_{N/2C_m} + W_{C_m} + W_{P_2} \dot{u} \quad (13)$$

де $W_{КМ}$, $W_{N/2C_m}$ – затрати обладнання відповідно на комутатор; $N/2$ -входовий суматор.

Алгоритм і структура паралельно-потокowego пристрою ППОСД з формуванням часткових добутків за модифікованим алгоритмом Бута. Обчислення скалярного добутку з використанням модифікованого алгоритму Бута для формування часткових добутків передбачає розподіл

множників X_j на групи по три розряди так, що сусідні групи мають один спільний розряд [22]. Розподіл множників X_j на групи здійснюється з молодших розрядів, причому молодший розряд наймолодшої групи завжди доповнюється нулем. Для кожної q -ї групи розрядів ($q=1, \dots, r$,

$r = \frac{\dot{e}n\dot{u}}{\dot{e}2\dot{u}}$) множників $X_{j[2(r-q+1)-1]}$ $X_{j[2(r-q+1)]}$ $X_{j[2(r-q+1)+1]}$ виконується формування часткового добутку P_{jq} за формулою:

$$P_{jq} = K_{jq} W_j. \quad (14)$$

Значення K_{jq} обчислюють як суму ваг ненульових цифр групи розрядів множника $X_{j[2(r-q+1)-1]}$ $X_{j[2(r-q+1)]}$ $X_{j[2(r-q+1)+1]}$, де $X_{j[2(r-q+1)-1]}$ має вагу мінус два, а $X_{j[2(r-q+1)]}$ та $X_{j[2(r-q+1)+1]}$ – одиницю, згідно з таким виразом:

$$K_{jq} = \begin{cases} \dot{1} 2, & \text{коли } X_{j[2(r-q+1)-1]} = 0, \quad X_{j[2(r-q+1)]} = X_{j[2(r-q+1)+1]} = 1 \\ \dot{1} 1, & \text{коли } X_{j[2(r-q+1)-1]} = 0, \quad X_{j[2(r-q+1)]} = 1, \quad X_{j[2(r-q+1)+1]} \\ \dot{0}, & \text{коли } X_{j[2(r-q+1)-1]} = X_{j[2(r-q+1)]} = X_{j[2(r-q+1)+1]} \\ \dot{1} - 1, & \text{коли } X_{j[2(r-q+1)-1]} = 1, \quad X_{j[2(r-q+1)]} = 1, \quad X_{j[2(r-q+1)+1]} \\ \dot{1} - 2, & \text{коли } X_{j[2(r-q+1)-1]} = 1, \quad X_{j[2(r-q+1)]} = X_{j[2(r-q+1)+1]} = 0 \end{cases} \quad (15)$$

Під час формування часткових добутків P_{jq} операція множення на два реалізується зсувом на один розряд вліво, а зміна знака – інверсією всіх розрядів множеного із подальшим додаванням одиниці до молодшого розряду.

Після формування часткових добутків P_{jq} обчислюють q -го макрочастковий добуток за формулою:

$$P_{Mq} = \dot{\mathbf{a}} \sum_{j=1}^N P_{jq}. \quad (16)$$

Обчислення скалярного добутку Z із формуванням часткових добутків за модифікованим алгоритмом Бута виконується так:

$$Z_q = 2^{-2} Z_{q-1} + P_{Mq}. \quad (17)$$

Паралельно-потоківу структуру пристрою ППОСД з формуванням часткових добутків за модифікованим алгоритмом Бута наведено на рис. 4, де Дш – дешифратор.

Особливістю цієї структури є зменшення у два рази кількості сходинок конвеєра. На кожній сходинці конвеєра $СК_q$ формування часткових добутків P_{jq} виконується блоком формування часткових добутків з використанням аналізу трьох розрядів $X_{j[2(r-q+1)-1]}$ $X_{j[2(r-q+1)]}$ $X_{j[2(r-q+1)+1]}$. Розряди $X_{j[2(r-q+1)-1]}$ $X_{j[2(r-q+1)]}$ $X_{j[2(r-q+1)+1]}$ надходять на входи дешифратора. Використовуючи логічні елементи АБО та сигнали з виходів дешифратора, комутатор формує сигнали управління – 10000 ($X_{j[2(r-q+1)-1]} = 0, X_{j[2(r-q+1)]} = 1, X_{j[2(r-q+1)+1]} = 1$), 01000 ($X_{j[2(r-q+1)-1]} = 0, X_{j[2(r-q+1)]} = X_{j[2(r-q+1)+1]} = 1$), 00100 ($X_{j[2(r-q+1)-1]} = 1, X_{j[2(r-q+1)]} = 1, X_{j[2(r-q+1)+1]} = 0$), 00010 ($X_{j[2(r-q+1)-1]} = 1, X_{j[2(r-q+1)]} = X_{j[2(r-q+1)+1]} = 0$), і 00001 ($X_{j[2(r-q+1)-1]} = X_{j[2(r-q+1)]} = X_{j[2(r-q+1)+1]} = 1$).

Комутатор залежно від сигналів, які надходять на входи управління, встановлюється в положення, коли на його вихід надходить значення W_j (сигнал управління – 10000), значення $2W_j$ (сигнал управління – 01000), значення $(-W_j)$ (сигнал управління – 00100), значення $(-2W_j)$ (сигнал управління – 00010), значення логічного нуля (сигнал управління – 00001). На виході четвертого елемента АБО формується сигнал логічного нуля (у результаті сигналів управління 10000, 01000, 00001) або логічної одиниці (за сигналів управління 00100 і 00010). Сформовані часткові добутки надходять на входи N -входового суматора, на виході якого отримуємо макрочастковий добуток P_{Mq} . Обчислений макрочастковий добуток P_{Mq} додається до зсунутого на два розряди праворуч часткового результату Z_{q-1} . Результат обчислення першого скалярного добутку отримуємо на виході пристрою після r -го такту. На кожному наступному такті роботи на виході пристрою одержимо

результати обчислення наступних скалярних добутків. Пристрій працює з тактом, який обчислюється за такою формулою:

$$T_{к3} = t_{P_2} + t_{Дш} + t_{КМ} + t_{NCМ} + t_{СМ}, \tag{18}$$

де $t_{Дш}$ – час спрацювання дешифратора.

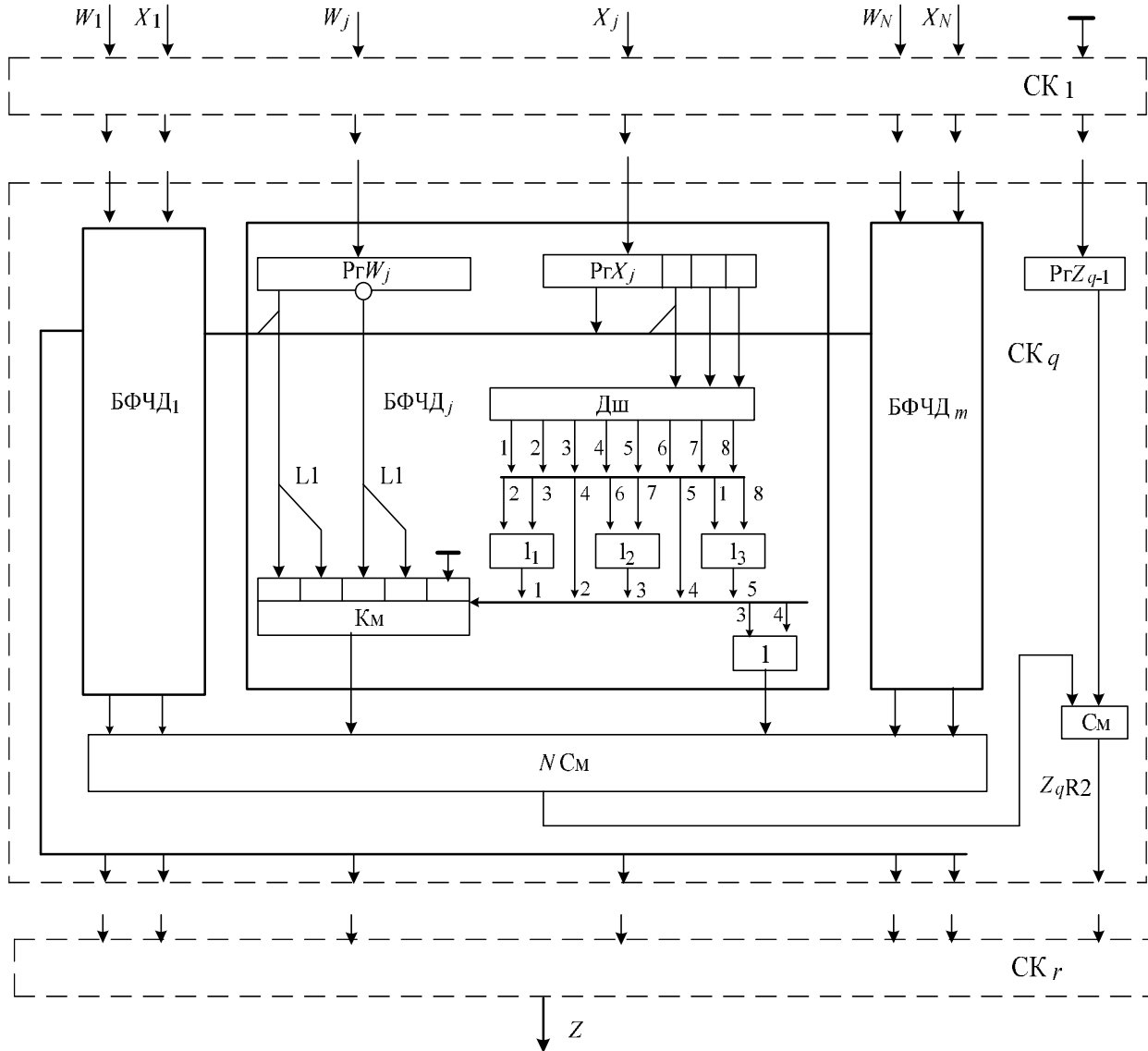


Рис. 4. Паралельно-потокова структура пристрою ППОСД з формуванням часткових добутків за модифікованим алгоритмом Бута

Витрати обладнання на реалізацію цього пристрою визначимо за виразом:

$$W_{ПЗ} = r[N(2W_{P_2} + W_{КМ} + W_{Дш} + 4W_{АБО}) + W_{NCМ} + W_{СМ} + W_{P_2}], \tag{19}$$

де $W_{Дш}$, $W_{АБО}$ – затрати обладнання відповідно на дешифратор і логічний елемент АБО.

Алгоритм і структура пристрою ППОСД з формуванням групових часткових добутків.

Обчислення скалярного добутку з формуванням групових часткових добутків передбачає розподіл множників X_j на групи із k розрядів ($k \geq 3$) [23]. В результаті отримуємо m груп, де $v = \frac{en}{8k} \cdot u$. Для

кожної h -ї групи ($h=1, \dots, \nu$) розрядів множника X_j обчислюємо груповий частковий добуток P_{jh} за формулою:

$$P_{jh} = \overset{\circ}{a} \underset{s=1}{\overset{k}{2}^{(s-1)}} W_j X_{jhs} . \tag{20}$$

Після формування групових часткових добутоків P_{jh} виконується обчислення h -го макрочасткового добутку за формулою:

$$P_{Mh} = \overset{\circ}{a} \underset{j=1}{\overset{N}{P_{jh}}} . \tag{21}$$

Скалярний добуток Z із формуванням групових часткових добутоків обчислюємо так:

$$Z_h = 2^{-k} Z_{h-1} + P_{Mh} . \tag{22}$$

Паралельно-потоківу структуру пристрою ППОСД з формуванням групових часткових добутоків наведено на рис. 5, де БФГЧД – блок формування групових часткових добутоків; ФЧД – формувач часткових добутоків, k СМ – k -входовий суматор.

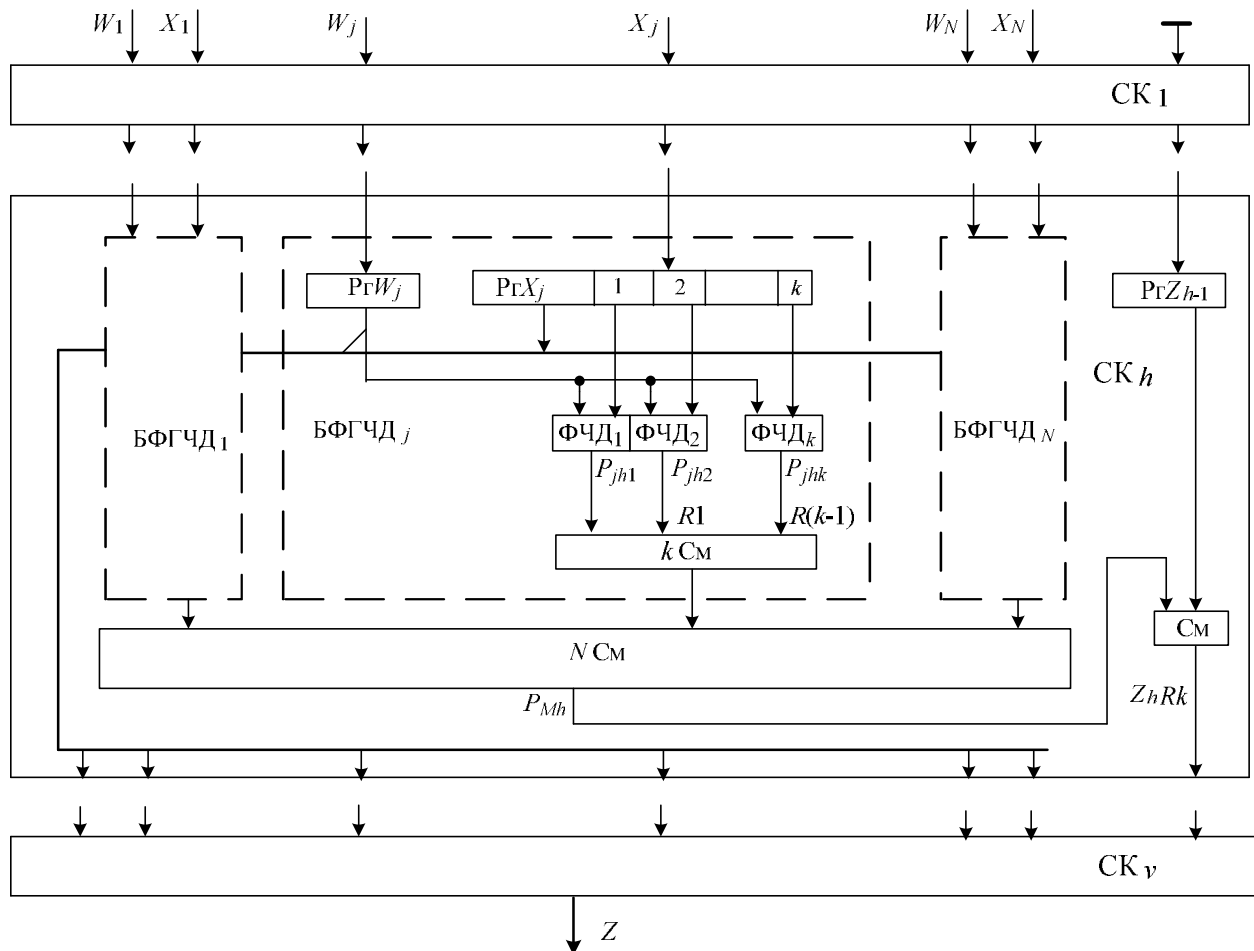


Рис. 5. Паралельно-потоківу структура пристрою ППОСД з формуванням групових часткових добутоків

У пристрої ППОСД з формуванням групових часткових добутоків кількість сходинок конвеєра визначається кількістю розрядів k множників X_j , які аналізують для обчислення групових часткових добутоків P_{jh} . Зі збільшенням кількості розрядів k зменшується кількість сходинок конвеєра.

Пристрій працює так: на кожному h -му такті у регістри $PrW_1, \dots, PrW_N, PrX_1, \dots, PrX_N$ та PrZ_1 h -ї конвеєрної сходинок SK_h записуються дані з виходів $(h-1)$ -ї конвеєрної сходинок SK_{h-1} . У блоці

h -ї конвеєрної сходинок $СК_h$ для h -ї групи розрядів множника $X_{j_{h1}} X_{j_{h2}} \dots X_{j_{hk}}$ на виходах ФЧД₁, ..., ФЧД _{k} формується k часткових добутків згідно з виразом $P_{jhs} = W_j X_{jhs}$. Сформовані часткові добутки надходять на вхід k -входового суматора, причому s -й ($s = 1, \dots, k$) частковий добуток $W_j X_{jhs}$ зсунутий відносно $(s-1)$ -го часткового добутку $W_j X_{jh(s-1)}$ на один розряд вправо.

У результаті додавання часткових добутків на виході k -входового суматора отримуємо груповий частковий добуток P_{jh} відповідно до формули (20). Сформований груповий частковий добуток P_{jh} надходить на j -й вхід N -входового суматора $НС_m$, на виході якого згідно з формулою (21) одержуємо h -й макрочастковий добуток P_{Mh} . Обчислений h -й макрочастковий добуток P_{Mh} надходить на вхід суматора $С_m$, де він додається до $(h-1)$ -го часткового результату Z_{h-1} відповідно до формули (22).

Результат обчислення першого скалярного добутку отримаємо на виході пристрою після ν -го такту. У кожному наступному такті роботи на виході пристрою одержимо результати обчислення наступних скалярних добутків.

Пристрій працює із тактом, який обчислюється за формулою:

$$T_{к4} = t_{P_2} + t_I + t_{kC_m} + t_{NC_m} + t_{C_m}, \tag{23}$$

де t_I, t_{kC_m} – час спрацювання відповідно логічного елемента І та k -входового суматора.

Витрати обладнання на реалізацію пристрою визначимо за виразом:

$$W_{П4} = \nu [N(2W_{P_2} + kW_{ФЧД} + W_{kC_m}) + W_{NC_m} + W_{C_m} + W_{P_2}], \tag{24}$$

де $W_{ФЧД}, W_{kC_m}$ – затрати обладнання відповідно на формувач часткових добутків і k -входовий суматор.

3. Оцінювання параметрів розроблених структур пристроїв паралельно-потокowego обчислення скалярних добутків

Основними компонентами розроблених структур пристроїв паралельно-потокowego обчислення скалярних добутків є: суматори, регістри, комутатори, дешифратори та логічні елементи [24]. Оскільки розроблені структури пристроїв паралельно-потокowego обчислення скалярних добутків орієнтовані на ПКВМ-реалізацію, то за одиницю вимірювання витрат обладнання візьмемо логічний вентиль, що являє собою елемент типу інвертор, І, АБО, а для оцінки часових параметрів – затримку логічного вентиля t .

Розроблені пристрої паралельно-потокowego обчислення скалярних добутків синтезуються на основі функціональних вузлів (регістри, суматори, комутатори, дешифратори і багатовходові суматори). Витрати обладнання на реалізацію функціональних вузлів у вентилях та їх швидкодію наведено в табл. 1.

Таблиця 1

Витрати обладнання на реалізацію функціональних вузлів та їх швидкодія

№ з/п	Назви функціональних вузлів	Витрати обладнання (вентилів)	Кількість каскадів затримки (t вентилів)
1	регістр	$7n$	3
2	n -розрядний суматор	$18n$	$7 \log_2 n$
3	m -входовий n -розрядний суматор	$(m-1) 18n$	$7 \log_2 n \log_2 m$
4	дешифратор $m \rightarrow l$	$(2m+2 \log_2 l)$	m
5	m -входовий n -розрядний комутатор	$2mn$	m

Для оцінювання параметрів розроблених структур пристроїв паралельно-потокowego обчислення скалярних добутоків використаємо дані про витрати та затримки функціональних вузлів, які наведено у табл. 1.

Крім того, для визначення ефективності використання обладнання необхідно знати складність R алгоритму обчислення скалярного добутку в базисі елементарних арифметичних операцій. Така оцінювальна складність дорівнює $R=2nN$ елементарних арифметичних операцій (додавання, зсуву). З використанням цих даних для кожної з розроблених структур пристроїв отримано аналітичні вирази для розрахунку витрат обладнання та часу обчислення скалярних добутоків.

Аналітичні вирази для розрахунку часу, витрат та ефективності використання обладнання для розроблених пристроїв паралельно-потокowego обчислення скалярних добутоків наведено у табл. 2.

Таблиця 2

**Аналітичні вирази для розрахунку основних параметрів пристроїв
паралельно-потокowego обчислення скалярних добутоків**

Пристрій	Витрати обладнання (вентилів)	Конвеєрний такт (t вентилів)	Ефективність використання обладнання
Рис. 2	$W_{П1} = n^2(33N + 7)$	$T_{к2} = 4 + 7 \log_2 n(1 + \log_2 N)$	$E_{П1} = \frac{2Nn}{n^2(33N + 7)[4 + 7 \log_2 (1 + \log_2 N)]}$
Рис. 3	$W_{П2} = 31Nn^2 + 9Nn + 7n^2$	$T_{к2} = 8 + 7 \log_2 n(1 + \log_2 N/2)$	$E_{П2} = \frac{2Nn}{(31Nn^2 + 9Nn + 7n^2)[8 + 7 \log_2 n(1 + \log_2 N/2)]}$
Рис. 4	$W_{П3} = r(42Nn + 18N + 7n)$	$T_{к3} = 12 + 7 \log_2 n(1 + \log_2 N)$	$E_{П3} = \frac{2Nn}{r(42Nn + 18N + 7n)[12 + 7 \log_2 n(1 + \log_2 N)]}$
Рис. 5	$W_{П4} = vn(19Nk + 14N + 7)$	$T_{к4} = 4 + 7 \log_2 n(1 + \log_2 N + \log_2 k)$	$E_{П4} = \frac{2Nn}{vn(19Nk + 14N + 7)[4 + 7 \log_2 n(1 + \log_2 N + \log_2 k)]}$

З аналітичних виразів (табл. 2) видно, що параметри розроблених пристроїв залежать від алгоритму формування часткових добутоків, розрядності n та кількості N операндів. З використанням розроблених аналітичних виразів (табл. 2) побудовано графіки витрат обладнання, які наведені на рис. 6, де $П_1, П_2, П_3, П_4$ – пристрої, наведені відповідно на рис. 2, рис. 3, рис. 4 і рис. 5.

Під час обчислення витрат обладнання на реалізацію четвертого пристрою $П_4$ для $n = 8, n = 16, n = 24$ та $n = 32$ кількість розрядів, які аналізуються для формування групового часткового добутку рівні відповідно $k = 4, k = 8, k = 12$ та $k = 16$. З аналізу графіка (рис. 6, а) видно, що якщо $N \leq 8$, найменші витрати обладнання на реалізацію пристрою $П_4$, а якщо $N \geq 8$ – на реалізацію пристрою $П_3$. З графіка (рис. 6, б) видно, що для $N \leq 16$ найменші витрати обладнання на реалізацію пристрою $П_3$, а для $N \geq 16$ – на реалізацію пристрою $П_4$. Якщо $n = 24$ (рис. 6, в) та $n = 32$ (рис. 6, г), найменших витрат обладнання потребує реалізація пристрою $П_3$.

З використанням аналітичних виразів (табл. 2) побудовано графіки тривалості конвеєрного такту T_k розроблених пристроїв паралельно-потокowego обчислення скалярних добутоків, які наведено на рис. 7.

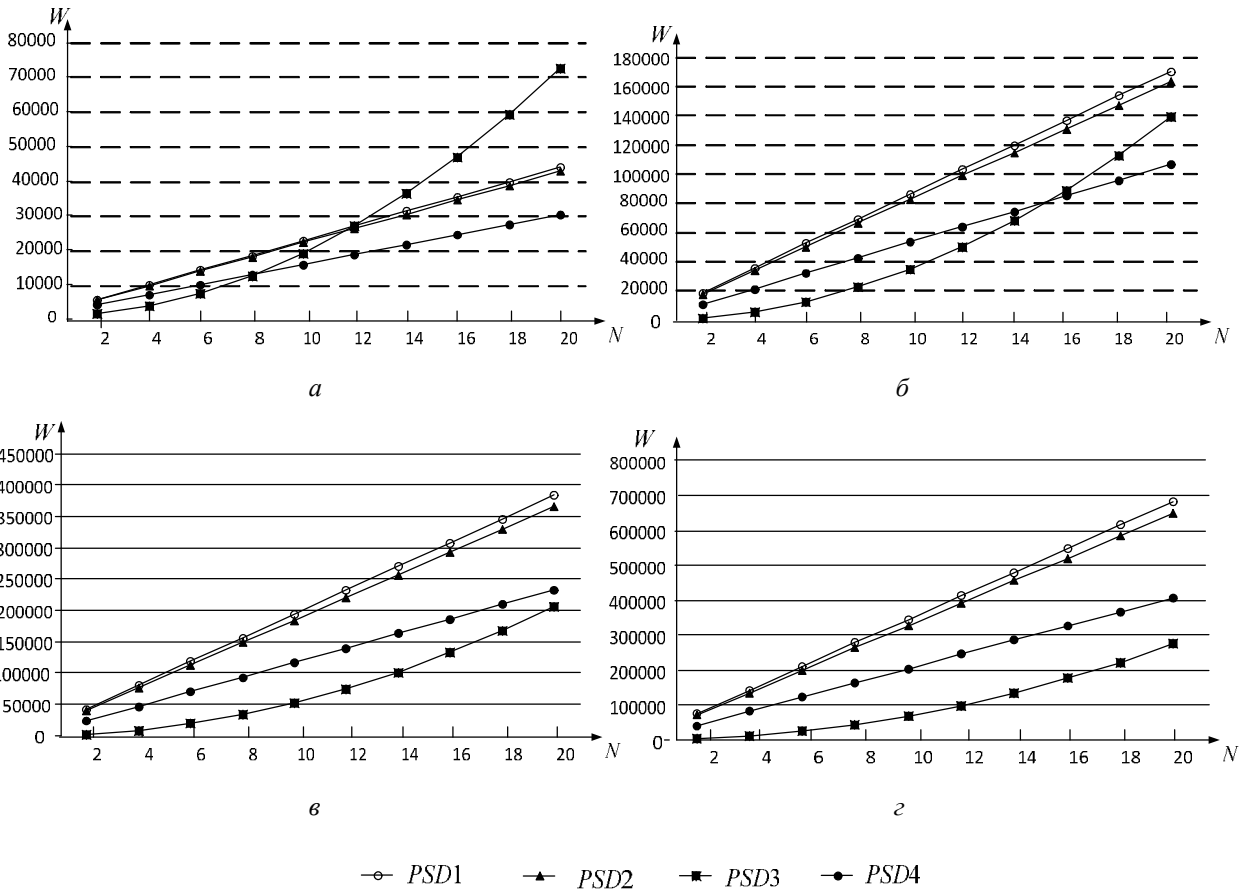


Рис. 6. Графіки витрат обладнання на реалізацію пристроїв паралельно-потокowego обчислення скалярних добутків: а – для $n = 8$; б – для $n = 16$; в – для $n = 24$; г – для $n = 32$

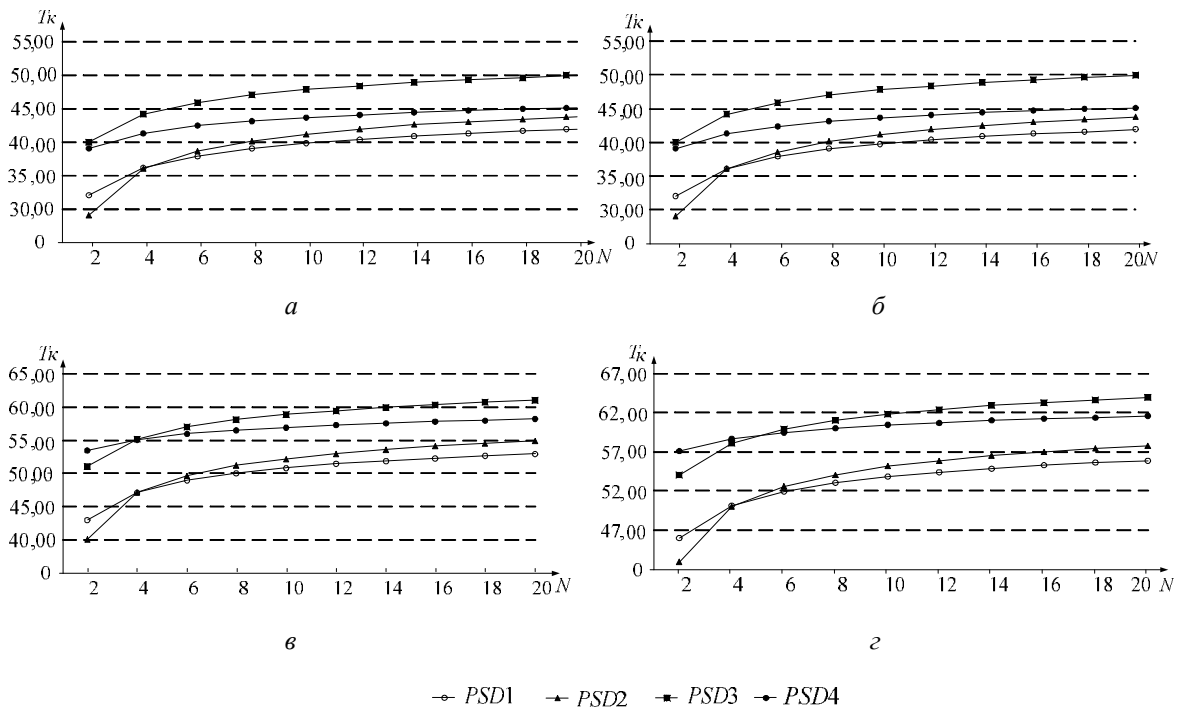


Рис. 7. Графіки тривалості конверсного такту пристроїв паралельно-потокowego обчислення скалярних добутків: а – для $n = 8$; б – для $n = 16$; в – для $n = 24$; г – для $n = 32$

Тривалість конвеєрного такту розроблених пристроїв оцінюється за кількістю затримок логічного вентиля t . З наведених графіків видно, що найменший конвеєрний такт у пристрою $П_1$, а найбільший – у пристрою $П_3$.

З використанням розроблених аналітичних виразів (табл. 2) побудовано графіки ефективності використання обладнання для запропонованих пристроїв паралельно-потокowego обчислення скалярних добутоків (рис. 8).

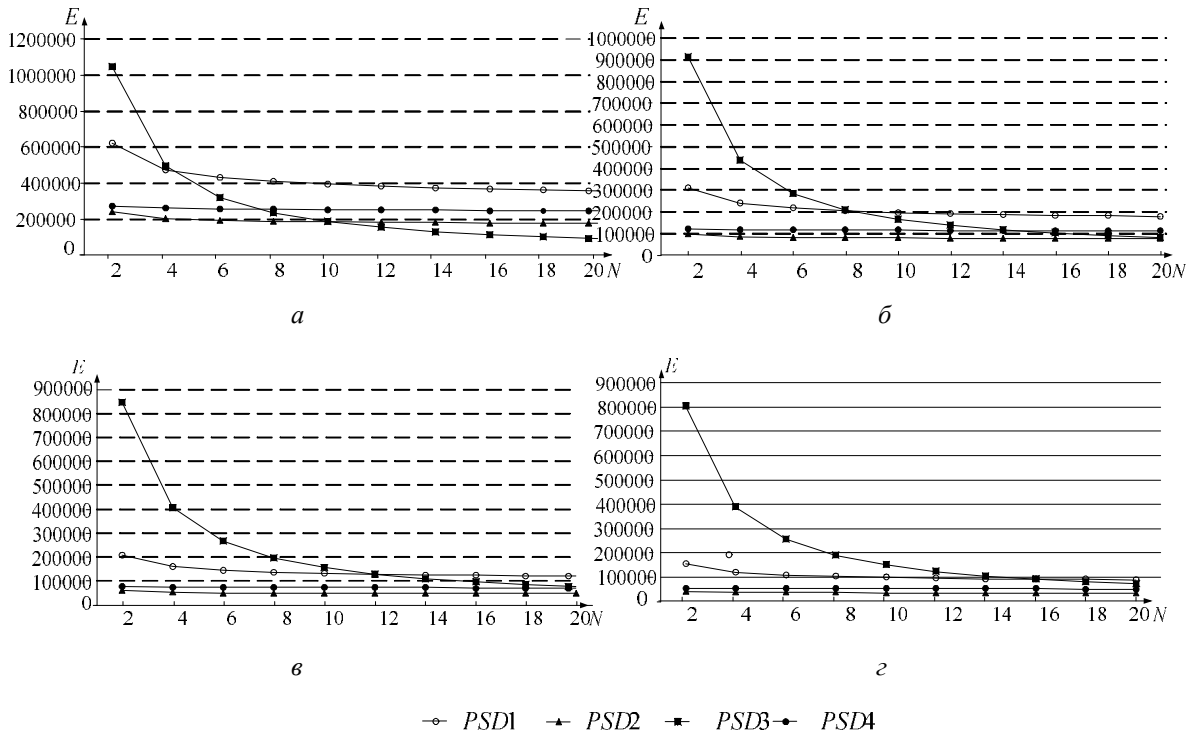


Рис. 8. Графіки ефективності використання обладнання для пристроїв паралельно-потокowego обчислення скалярних добутоків: а – для $n = 8$; б – для $n = 16$; в – для $n = 24$; г – для $n = 32$

Одиницями оцінювання ефективності використання обладнання E є кількість операцій, які виконує одиниця обладнання за одиницю часу. Для оцінювання часу необхідно визначити часову затримку t вентиля (логічних елементів типу інвертор, І, АБО, І-НЕ, АБО-НЕ). Часову затримку вентиля для сучасної елементної бази прийемо $t = 10^{-9}$ с. З аналізу графіків ефективності використання обладнання пристроїв паралельно-потокowego обчислення скалярних добутоків видно, що пристрій $П_3$ найефективніший за використанням обладнання.

4. Метод синтезу ПКВМ-пристроїв ППОСД у реальному часі з високою ефективністю використання обладнання

Завдання синтезу ПКВМ-пристрою ППОСД з високою ефективністю використання обладнання зводиться до забезпечення режиму реального часу із мінімізацією апаратних затрат на його реалізацію. Високої ефективності використання обладнання при ПКВМ-реалізації пристроїв ППОСД у режимі реального часу досягають, узгоджуючи час t_d надходження вхідних даних із конвеєрним тактом T_k роботи пристрою. Час t_d надходження вхідних даних визначається так:

$$t_d = \frac{2Nn}{(g_x + g_w)n_{x/w}F_d}, \quad (25)$$

де N – кількість вхідних даних X_j і W_j ; n – розрядність вхідних даних X_j і W_j ; g_x – кількість каналів надходження вхідних даних X_j у пристрій; g_w – кількість каналів надходження W_j у пристрій;

$n_{X/W}$ – розрядність каналів надходження вхідних даних X_j і W_j ; F_d – частота надходження вхідних даних X_j і W_j . Можлива кількість каналів g_X та g_W – від 1 до N , їх розрядність $n_{X/W}$ також від 1 до n .

Конвеєрний такт T_k роботи пристрою ППОСД визначається за формулою:

$$T_k = t_{P_2} + t_{ФЧД} + t_{БСМ} + t_{СМ}, \quad (26)$$

де t_{P_2} – час запису/читання даних із регістра; $t_{ФЧД}$ – час формування часткових добутків; $t_{БСМ}$ – час обчислення макрочасткового добутку підсумовуванням часткових добутків; $t_{СМ}$ – час додавання двох чисел.

Тривалість конвеєрного такту роботи T_k залежить від швидкодії елементної бази, часу $t_{ФЧД}$ формування та кількості часткових добутків і часу $t_{БСМ}$ їх підсумовування. Кількість часткових добутків, які формуються на сходинці, визначається кількістю пар вхідних даних N і кількістю розрядів k , які аналізують для формування часткових добутків. Кількість сходинок конвеєра у

пристрої визначається виразом $m = \frac{\hat{e}n}{\hat{e}k} \hat{u}$, де n – розрядність множників X_j ; k – кількість розрядів, які аналізують для формування часткових добутків, $\hat{e} \hat{u}$ – знак заокруглення до більшого цілого числа.

Збільшення кількості сходинок конвеєра приводить до зменшення тривалості такту внаслідок зменшення складності операцій, які виконуються на сходинці. Зі зменшенням кількості сходинок зростає складність операцій, які виконуються на сходинці, а відповідно і збільшується тривалість такту. Апаратні витрати на реалізацію компонент зростають зі збільшенням кількості сходинок конвеєра.

Узгодження td з T_k може потребувати як збільшення, так і зменшення T_k . Основні способи зменшення T_k такі:

- використання алгоритмів, які зменшують кількість часткових добутків (алгоритм з формуванням часткових добутків для суми двох пар добутків з аналізом одного розряду множників);
- конвеєризація багатовходового суматора із розподілом його на сходинки;
- паралельне увімкнення двох і більше пристроїв ППОСД, кількість яких визначається передусім часом td надходження вхідних даних.

Основні способи збільшення T_k :

- використання алгоритмів, які зменшують кількість сходинок конвеєра (алгоритм Бута, алгоритм з формуванням групових часткових добутків);
- реалізація однією сходинкою конвеєра двох і більше ітерацій алгоритму.

Для побудови паралельно-потокowych пристроїв ППОСД у реальному часі з заданим часом td надходження вхідних даних як базові використаємо розроблені пристрої. Реалізація паралельно-потокowych пристроїв ППОСД із заданим часом td надходження вхідних даних потребує виконання таких етапів:

- вибір однієї із розроблених паралельно-потокowych структур обчислення скалярного добутку для реалізації пристрою;
- оцінювання тривалості такту T_k конвеєра, затрат обладнання та ефективності використання обладнання для вибраної структури пристрою ППОСД;
- вибір способів узгодження часу td надходження вхідних даних із конвеєрним тактом T_k роботи пристрою;
- побудова паралельно-потокowego пристрою ППОСД, у якому $td \geq T_k$;
- оцінювання затрат обладнання та ефективності використання обладнання для паралельно-потокowego пристрою ППОСД з узгодженим конвеєрним тактом T_k роботи.

Висновки

Розроблено граф-схему узагальненого алгоритму ППОСД, базові алгоритми та структури ППОСД, здійснено оцінювання їх параметрів і запропоновано метод синтезу ПКВМ-пристроїв ППОСД у реальному часі з високою ефективністю використання обладнання.

Розроблено граф-схему узагальненого алгоритму ППОСД, особливістю якої є використання однотипних операцій формування часткових добутоків, починаючи із молодших розрядів множників, обчислення макрочасткового добутку та його додавання до часткового результату, зсунутого праворуч на кількість розрядів, використаних під час формування часткових добутоків. Запропоновано розробляти ПКВМ-структури пристроїв паралельно-потокowego обчислення скалярного добутку за такими принципами: використання однотипних сходенок конвеєра; виконання обчислень на основі операцій додавання, інверсії та зсуву; здійснення обчислення скалярного добутку як єдиної операції; регулярності та локалізації зв'язків між сходінками конвеєра; узгодження тривалості конвеєрного такту із часом введення даних і часом виведення результатів обчислень; просторово-часового розпаралелювання обчислення скалярного добутку.

Розроблено алгоритм і структуру паралельно-потокowego пристрою ППОСД з прямим формуванням часткових добутоків на основі аналізу одного розряду множників, яка забезпечує роботу з найменшим конвеєрним тактом. Розроблено алгоритм і структуру паралельно-потокowego пристрою ППОСД з формуванням часткових добутоків для суми двох пар добутоків з аналізом одного розряду множників, яку доцільно використовувати для невеликої кількості операндів. Розроблено алгоритм і структуру паралельно-потокowego пристрою ППОСД з формуванням часткових добутоків за модифікованим алгоритмом Бута, яка забезпечує зменшення витрат обладнання у разі опрацювання операндів розрядністю $n \geq 24$. Розроблено алгоритм і структуру пристрою ППОСД із формуванням групових часткових добутоків, яка забезпечує найменші витрати обладнання, якщо $n = 8$, для $N > 8$.

На основі результатів досліджень розроблено метод синтезу ПКВМ-пристроїв ППОСД у реальному часі, який за рахунок вибору алгоритму формування часткових добутоків, структури пристрою з переліку розроблених та узгодження такту роботи конвеєра вибраної структури з часом надходження вхідних даних забезпечує високу ефективність використання обладнання. Розроблений метод синтезу ПКВМ-пристроїв ППОСД можна застосовувати для створення засобів цифрової обробки сигналів і нейромережових систем, які потребують опрацювання інтенсивних потоків даних у реальному часі.

Список літератури

1. Sogi, N., Souza, L. S., Gatto, B. V., Fukui, K. (2020). Metric Learning with A-based Scalar Product for Image-set Recognition. In *IEEE/CVF Conference on Computer Vision and Pattern Recognition Workshops (CVPRW)*, Seattle, WA, USA. DOI: 10.1109/CVPRW50498.2020.00433.
2. Ludeno, G. (2018). Normalized Scalar Product Approach for Nearshore Bathymetric Estimation From X-Band Radar Images: An Assessment Based on Simulated and Measured Data. *IEEE Journal of Oceanic Engineering*, Vol. 43, No. 1, 221–237. DOI: 10.1109/JOE.2017.2758118.
3. Hong S., Lee I., Park Y. (2018). Optimizing a FPGA-based neural accelerator for small IoT devices. In *2018 International Conference on Electronics, Information, and Communication (ICEIC)*, Honolulu, HI, USA. DOI: 10.23919/ELINFOCOM.2018.8330546.
4. Tsmots, I., Rabyk, V., Teslyuk, V., Opotyak, Yu. (2023). Floating-Point Number Scalar Product Hardware Implementation for Embedded Systems. In *17th International Conference on the Experience of Designing and Application of CAD Systems (CADSM)*, Jaroslaw, Poland. DOI: 10.1109/CADSM58174.2023.10076502.
5. Drozd, J., Drozd, O., Nikul, V., Sulima, J. (2018). FPGA implementation of vertical addition with a bitwise pipeline of calculations. In *2018 IEEE 9th International Conference on Dependable Systems, Services and Technologies (DESSERT)*, Kyiv, Ukraine. DOI: 10.1109/DESSERT.2018.8409136.

6. Zhang, W., Zhang, C., Niu, L., Din, F. U., Farrukh, Jiang, H. (2022). An Efficient FPGA Design for Fixed-point Exponential Calculation. In *IEEE International Conference on Integrated Circuits, Technologies and Applications (ICTA)*, Xi'an, China. DOI: 10.1109/ICTA56932.2022.9963050.
7. Tsmots, I. (2005). Information technologies and specialized tools for processing signals and images in real time. Lviv: UAP.
8. Rashkevych, Yu. M., Tkachenko, R. O., Tsmots, I. H., Peleshko, D. D. (2014). Neuro-like methods, algorithms and structures of real-time signal and image processing. Lviv Polytechnic Publishing House.
9. Tsmots, I. H., Tkachenko, R. O., Teslyuk, V. M., Riznyk, O. Ya., Kazymira, I. Ya. (2022). Smart systems: technologies, architectures, data processing, protection and coding. Lviv: SPOLOM.
10. Zong, P., Wang, Y., Xie, F. (2018). Embedded Software Fault Prediction Based on Back Propagation Neural Network. In *IEEE International Conference on Software Quality, Reliability and Security Companion (QRS-C)*, Lisbon, Portugal. DOI: 10.1109/QRS-C.2018.00098.
11. Kalichanin-Balich, I., Lopez-Martin, C. (2010). Applying a Feedforward Neural Network for Predicting Software Development Effort of Short-Scale Projects. In *Eighth ACIS International Conference on Software Engineering Research, Management and Applications*, Montreal, QC, Canada. DOI: 10.1109/SERA.2010.41.
12. Tsmots, I., Skorokhoda, O., Rabyk, V. (2018). Parallel algorithms and matrix structures for scalar product calculation. In *14th International Conference on Advanced Trends in Radioelectronics, Telecommunications and Computer Engineering (TCSET)*, Lviv-Slavske, Ukraine. DOI: 10.1109/TCSET.2018.8336347.
13. Nguyen, D. T., Nguyen, T. N., Kim, H., Lee, H. -J.. (2019). A High-Throughput and Power-Efficient FPGA Implementation of YOLO CNN for Object Detection. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, Vol. 27, No. 8, 1861–1873. DOI: 10.1109/TVLSI.2019.2905242.
14. Chan, D. (2023). The Next Frontier: From SoC to Heterogenous Integration of Chiplets. In *International VLSI Symposium on Technology, Systems and Applications (VLSI-TSA/VLSI-DAT)*, HsinChu, Taiwan, 2023. DOI: 10.1109/VLSI-TSA/VLSI-DAT57221.2023.10134113..
15. Liang, L. Lu, Y., Xiao, Q., Yan, S. (2017). Evaluating Fast Algorithms for Convolutional Neural Networks on FPGAs. In *IEEE 25th Annual International Symposium on Field-Programmable Custom Computing Machines (FCCM)*, Napa, CA, USA. DOI: 10.1109/FCCM.2017.64.
16. Rekha, R., Menon, K. P. (2018). FPGA implementation of exponential function using cordic IP core for extended input range. In *3rd IEEE International Conference on Recent Trends in Electronics, Information & Communication Technology (RTEICT)*, Bangalore, India. DOI: 10.1109/RTEICT42901.2018.9012611.
17. Pandey, J. G., Gurawa, A., Nehra, H., Karmakar, A. (2016). An efficient VLSI architecture for data encryption standard and its FPGA implementation. In *2016 International Conference on VLSI Systems, Architectures, Technology and Applications (VLSI-SATA)*, Bengaluru, India. DOI: 10.1109/VLSI-SATA.2016.7593054.
18. Shrestha, R. (2017). High-speed and low-power VLSI-architecture for inexact speculative adder. In *2017 International Symposium on VLSI Design, Automation and Test (VLSI-DAT)*, Hsinchu, Taiwan. DOI: 10.1109/VLSI-DAT.2017.7939644.
19. Yu, Hao. (2017). Energy efficient VLSI circuits for machine learning on-chip. In *International Symposium on VLSI Design, Automation and Test (VLSI-DAT)*, Hsinchu, Taiwan. DOI: 10.1109/VLSI-DAT.2017.7939671.
20. Nguyen, D. T., Kim, H., Lee, H.-J., Chang, I.-J. (2018). An Approximate Memory Architecture for a Reduction of Refresh Power Consumption in Deep Learning Applications. In *IEEE International Symposium on Circuits and Systems (ISCAS)*, Florence, Italy. DOI: 10.1109/ISCAS.2018.8351021
21. Tsmots, I. H., Skorokhoda, O. V. (2011). Device for calculating the scalar product. Ukrainian patent for a utility model, No. 66138, Bulletin 24.
22. Tsmots, I. H., Skorokhoda, O. V., Teslyuk, V. M. Device for calculating the scalar product. Patent of Ukraine for the invention, No. 101922, 13.05.2013, Bulletin No. 9.
23. Tsmots, I. H., Skorokhoda, O. V., Medykovskyy, M. O. Device for calculating the scalar product. Patent of Ukraine for the invention, No. 118596, 11.02.2019, Bulletin No. 3.
24. Tsmots, I., Rabyk, V., Kryvinska, N., Yatsymirskyy, M., Teslyuk, V. (2022). Design of the Processors for Fast Cosine and Sine Fourier Transforms. *Circuits, Systems, and Signal Processing*, 41(9), 4928–4951.

METHOD OF SYNTHESIS OF DEVICES FOR PARALLEL STREAM CALCULATION OF SCALAR PRODUCT IN REAL TIME**Ivan Tsmots¹, Yurii Opotyak², Bohdan Shtohrinets³**

Lviv Polytechnic National University,
Department of Automated Control Systems,
14, S. Bandery str., Lviv, Ukraine

¹E-mail: ivan.h.tsmots@lpnu.ua, ORCID: 0000-0002-4033-8618

²E-mail: yurii.v.opotyak@lpnu.ua, ORCID: 0000-0001-9889-4177

³E-mail: bohdan.v.shtohrinets@lpnu.ua, ORCID: 0009-0001-4956-3862

© *Tsmots I., Opotyak Yu., Shtohrinets B., 2023*

A graph scheme of a generalized algorithm for parallel stream calculation of the scalar product was developed. The proposed algorithm uses the same type of operations for forming a partial product that is calculated starting from the lowest digits of the multipliers. The developed algorithm of parallel stream calculation of the scalar product is performed with the use of operations for forming partial products, calculating the macro-partial product, and adding it to the partial result shifted to the right by the number of digits that were used in the formation of partial products. It is suggested that the development of FPGA structures of devices for parallel stream calculation of the scalar product be carried out according to the following principles: use of the same type of conveyor steps; performing calculations based on addition, inversion, and shift operations; performing the calculation of the scalar product as a single operation; regularity and localization of connections between conveyor steps; coordination of the duration of the conveyor time with the time of data input and the time of output of calculation results; space-time parallelization of the process of calculating the scalar product. The algorithm and structure of the parallel stream device for calculating the scalar product with direct formation of partial products based on the analysis of one order of multipliers, which ensures operation with the smallest conveyor cycle, has been developed. The algorithm and structure of the parallel stream device for calculating the scalar product with the formation of partial products for the sum of two pairs of products with the analysis of one order of multipliers, which is advisable to use for a small number of operands, have been developed. The algorithm and structure of a parallel stream device for calculating the scalar product with the formation of partial products according to the modified Booth algorithm have been developed, which ensures a reduction in equipment costs when processing operands with $n \geq 24$ bits. The algorithm and structure of the device for calculating the scalar product with the formation of group partial products have been developed, which provides the lowest equipment costs in the case of $n=8$ for $N>8$. A method for the synthesis of FPGA devices for parallel stream calculation of the scalar product in real-time has been developed. The proposed method ensures high efficiency of the use of the equipment due to the selection of the algorithm for the formation of partial products and the structure of the device from the list of developed ones and the coordination of the cycle of the conveyor of the selected structure with the time of arrival of input data.

Key words: space-time parallelization; graph scheme of the generalized algorithm; equipment costs; coordination of the conveyor cycle.