

## РЕКУРЕНТНІ ЛОГАРИФМІЧНІ АНАЛОГО-ЦИФРОВІ ПЕРЕТВОРЮВАЧІ ЗІ СТАЛОЮ ОСНОВОЮ ЛОГАРИФМА

З. Р. Мичуда<sup>1</sup>, Л. З. Мичуда<sup>2</sup>, Г. С. Єліссєва<sup>2</sup>

Національний університет “Львівська політехніка”,

<sup>1</sup>кафедра комп’ютеризованих систем автоматики,

<sup>2</sup>кафедра безпеки інформаційних технологій

*E-mail:* zynovii.r.mychuda@lpnu.ua, lesia.z.mychuda@lpnu.ua, hanna.s.yelisieieva@lpnu.ua

© Мичуда З. Р., Мичуда Л. З., Єліссєва Г. С., 2024

У цій роботі запропоновано новий метод перетворення, який дає змогу реалізувати рекурентні логарифмічні аналого-цифрові перетворювачі (ЛАЦП) зі сталою основою логарифму ( $\zeta$ ), в якому формують еталонні напруги за допомогою дільника опорної напруги, складеного з однакових Г-подібних ланок резисторів  $R - R''$  і додаткового резистора  $R'$ , причому значення резисторів задають згідно з формулою  $R' = \frac{\zeta}{1-\zeta} \cdot R$  і  $R'' = \frac{\zeta}{(1-\zeta)^2} \cdot R$ . Використання такого

методу значно спрощує схемне рішення рекурентного ЛАЦП і робить його технологічним для інтегрального виготовлення. Розроблено електричну та математичні моделі рекурентних ЛАЦП зі сталою основою логарифму, в яких враховано вплив зміни структури ЛАЦП у процесі перетворення. Наведено формули для оцінки основної похибки та часу перетворення.

**Ключові слова:** рекурентні логарифмічні АЦП, стала основа логарифму, побудова, похибка, час перетворення.

### Вступ

Аналого-цифрові перетворювачі (АЦП) повсякчас привертають підвищену увагу розробників, оскільки слугують важливою проміжною ланкою, що зв’язує цифрові комп’ютеризовані системи найрізноманітнішого призначення з об’єктами контролю та управління, інформація про які у переважній більшості, понад 90%, має аналогову форму. Поділяють АЦП за характеристиками перетворення на лінійні та нелінійні, причому останні в основному є логарифмічними. Логарифмічні АЦП окрім традиційного перетворення аналогових величин у цифру мають низку відомих переваг над лінійними АЦП, основні з яких: широкий динамічний діапазон вхідних сигналів, перетворення великих і малих сигналів з однаковою відносною похибкою та забезпечення можливості оброблення сигналів у логарифмічній арифметиці. Останнє дає змогу значно підвищити швидкодію систем оскільки повільні у лінійній арифметиці операції множення та ділення перетворюються у швидкі операції додавання та віднімання у логарифмічній арифметиці, особливо важливе для систем реального часу. Серед множини розроблених останнім часом логарифмічних АЦП цікавими є рекурентні, що забезпечують точність вихідного коду, більшу від номінальної розрядності АЦП. Проте рекурентні логарифмічні АЦП досліджені недостатньо, зокрема, залишаються відкритими питання практичної реалізації таких перетворювачів зі сталою в процесі перетворення основою логарифма.

## 1. Аналіз останніх досліджень і публікацій

Розглянемо коротко найбільш цікаві технічні рішення ЛАЦП.

У роботі [1] започатковано рекурентний метод логарифмічного аналого-цифрового перетворення, викладено сутність такого перетворення.

У статті [2] запропоновано новий метод логарифмічного аналого-цифрового перетворення з використанням комутованих конденсаторів зі змінною основою логарифма для підвищення точності та швидкодії. Сутність цього методу полягає в тому, що на кожному піддіапазоні порівнюється напруга компенсації з попередньо встановленим рівнем – використовується останній рівень напруги компенсації на попередньому піддіапазоні.

Конвеєрний аналого-цифровий перетворювач безперервної дії був запропонований у [3]. Це нова архітектура, яка реалізує еквівалент фільтра згладжування, за яким йде ADC. Показано, що SNDR запропонованого АЦП значно вище, ніж у традиційних АЦП. Ця теорія була перевірена за допомогою макромоделі та моделювання на рівні транзисторів.

У [4] представлено 7-розрядний двоканальний АЦП із перемещуванням часу, двотактовий флеш АЦП зі швидкістю 3 GS/s. АЦП має вбудоване джерело опорної напруги на основі ємнісного ЦАП і передову техніку калібрування зсуву. Прототип АЦП був реалізований за 40-нм техпроцесом CMOS.

Енергоефективний SAR ADC 14 b 20 MS/s з використанням 65 нм CMOS технології для портативних медичних ультразвукових систем описано в [5]. Щоб покращити лінійність АЦП SAR, була використана техніка калібрування невідповідності цифрового фону. Крім того, пропонується компактна техніка шумозаглушення.

У [6] описано компактний та енергоефективний АЦП SAR, у якому шум зменшено за допомогою зворотного зв'язку за помилками (EF). Прототип АЦП був виготовлений за технологією 65 нм 1P9M CMOS.

У лінійному АЦП [7] використано зарядові насоси Діксона для перетворення напруги на час. АЦП реалізований за допомогою цифрових схем малої складності без використання аналогових підсилювачів.

У праці [8] представлено дослідження логарифмічного перетворювача напруги на час для використання в нових архітектурах логарифмічного аналого-цифрового перетворювача, які не потребують аналогових блоків, таких як підсилювачі, з обробкою сигналу, що виконується у часовій області до максимально можливого обсягу. Роздільна здатність у часовій області збільшується.

Причина вибору обробки у часовій області полягає в тому, що в міру розвитку технологій і прискорення цифрових схем роздільна здатність у часовій області збільшується, а продовження обробки в області напруги буде ставати все важче.

У [9] проведено аналіз процесів перетворення сигналів порозрядного логарифмічного аналого-цифрового перетворювача.

У [10] конфігурованою асинхронною обробкою досягається підвищення гнучкості компромісу між швидкістю та роздільною здатністю в порозрядних АЦП за допомогою застосування техніки цифрового калібрування. Наведено характеристики прототипу АЦП, створеного в 180 нм КМОП-процесі.

У патенті [11] корекція помилок АЦП реалізована за допомогою сигналу помилки, який отримується інтегруванням різниці між вхідним зарядом та імпульсами зворотного зв'язку.

Аналого-цифровий перетворювач містить схему інтеграції помилок, налаштовану на отримання вхідного заряду від детектора та інтегрування різниці між вхідним зарядом та одним або більше імпульсами заряду зворотного зв'язку для створення напруги помилки. Квантователь підтримує працездатний зв'язок із схемою інтеграції помилок і реагує на створену напругу помилки. Акумулятор, що має компонент мантиси і компонент основи, перебуває в працездатному зв'язку з квантувальником.

Пристрій зворотного зв'язку заряду працює в робочому зв'язку з квантувальником і основним компонентом акумулятора. Він налаштований на генерацію одного або більше імпульсів заряду

зворотного зв'язку, пропорційних основній складовій частині акумулятора і виходу квантувальника. Також розкриті інтегральні схеми зчитування цифрової фокальної площини, зокрема аналого-цифровий перетворювач.

Стаття [12] описує АЦП з логарифмічним стисненням, використовуючи TDC піддіапазону та перехідну характеристику компаратора. Час встановлення компаратора обернено пропорційний логарифму вхідної напруги. У запропонованому АЦП вхідна напруга перетворюється на імпульс, ширина якого є часом встановлення компаратора. Згодом TDC перетворює ширину імпульсу на двійковий код.

Порівняння логарифмічних і лінійних АЦП наведено в статті [13] на основі біомедичних застосувань, де сигнали мають широкий діапазон. Було показано, що логарифмічні АЦП кращі в області менших сигналів. Однак для великих амплітуд лінійні АЦП мають меншу абсолютну похибку.

У роботі [14] було досягнуто значного підвищення точності АЦП з перерозподілом заряду за допомогою вагового резервування та алгоритмів калібрування перетворювача.

У патенті [15] подвійне інтегрування було використано для підвищення точності ЛАЦП.

Недоліками розглянутих вище публікацій є брак даних про особливості реалізації рекурентних ЛАЦП зі сталою в процесі перетворення основою логарифму.

## 2. Постановка завдання

Донедавна характеристики логарифмічних АЦП значно поступалися характеристикам лінійних АЦП. Проте в загально відомих останніх розробках Національного університету "Львівська політехніка" досягнуто фактичної рівності цих характеристик. Водночас цікавим є розроблення рекурентних ЛАЦП, які забезпечують точність вихідного коду, більшу від номінальної розрядності ЛАЦП. Рекурентні ЛАЦП можуть мати як змінну, так і постійну в процесі перетворення основу логарифму. Перші є складнішими за побудовою, але більш швидкодіяними і дослідженими достатньо повно як теоретично, так і експериментально, а другі мають простішу будову, але досліджені лише теоретично, оскільки практично не вдалося реалізувати в них діляник опорної напруги так, щоб він був технологічним для серійного виробництва.

Проведений аналіз літературних джерел вказує на доцільність досліджень в царині рекурентних логарифмічних АЦП зі сталою в процесі перетворення основою логарифму.

## 3. Рекурентні логарифмічні аналого-цифрові перетворювачі зі сталою основою логарифму

У цій статті розглянуто особливості реалізації рекурентних ЛАЦП зі сталою основою логарифму, розроблено їх електричні та математичні моделі з урахуванням зміни структури ЛАЦП у процесі перетворення.

Метою цієї роботи є дослідження методу побудови рекурентних ЛАЦП зі сталою основою логарифма для забезпечення технологічності ЛАЦП в умовах інтегрального виробництва.

### Узагальнена функціональна схема рекурентних ЛАЦП зі сталою основою логарифма

Розроблена нами узагальнена функціональна схема рекурентних ЛАЦП зі сталою основою логарифма наведена на рисунку. Схема містить: блок формування показникової функції (БФПФ), генератор тактових імпульсів (ГТІ), компаратор (КМ), одновібратор (ОВ), джерело опорної напруги  $U_0$  (ДОН), лічильник (Л), регістр результату (РР). Крім того, БФПФ має два тригери (Т1 і Т2), елемент збігу (І), елемент АБО, п'ять ключів (К), два пікові детектори (ПД1 і ПД2) і аналоговий комутатор (АК).

Особливістю розробленого рекурентного ЛАЦП зі сталою основою логарифма є виконання діляника напруги, що задає еталонні напруги, з однакових Г-подібних ланок резисторів двох номіналів  $R - R''$  і додаткового резистора  $R'$ . Значення резисторів задають згідно з формулами

$$R' = \frac{\zeta}{1-\zeta} \cdot R \quad \text{і} \quad R'' = \frac{\zeta}{(1-\zeta)^2} \cdot R.$$

Розглянемо роботу рекурентного ЛАЦП зі сталою основою логарифма.

За командою (імпульсом) “ПУСК” одинівратор ОВ виробляє імпульс, яким встановлюються в початкове положення вузли схеми, зокрема:

- в нуль лічильник Л і реєстр результату РР;
- тригери Т1 і Т2 встановлюються у стан з нуля на прямих виходах;
- замикаються (логічною одиницею з інверсного виходу тригера Т1) ключі К0 і К1.

Перший після закінчення імпульса одинівратора ОВ імпульс тактового генератора ГТІ переключає лічильник Л, вихідним кодом якого переключасться дешифратор аналогового комутатора АК, і комутатор АК під'єднує до входів компаратора Км і першого пікового детектора ПД1 перший вузол дільника напруги ДН.

Нагадаємо, що у вузлах 1-*n* дільника ДН формуються еталонні напруги  $U_1 \div U_n$ :

$$U_1 = \zeta^n U_0, \quad U_2 = \zeta^{n-1} U_0, \quad U_3 = \zeta^{n-2} U_0 \dots U_{n-1} = \zeta^2 U_0 \quad \text{і} \quad U_n = \zeta U_0.$$

З кожним тактовим імпульсом від ГТІ еталонні напруги у вузлах дільника напруги ДН почергово підводяться до входу компаратора Км і порівнюються із вхідним сигналом  $U_{вх}$ . Вихідний сигнал компаратора Км підводиться до інформаційного входу реєстра результату РР і, якщо якась із еталонних напруг менша від вхідного сигналу, то у відповідному розряді реєстра результату РР записується нуль, і навпаки: якщо еталонна напруга більша від вхідного сигналу, то у відповідному розряді реєстра РР записується логічна одиниця.

Отже, під час дії першого тактового імпульсу компаратор Км порівнює еталонну напругу ( $U_1$ ) з першого вузла дільника ДН із вхідним сигналом  $U_{вх}$ . Якщо ця напруга менша від вхідної, то на інформаційний вхід реєстра результату РР надходить логічний нуль з виходу компаратора Км і в старшому (першому) розряді реєстра РР записується нуль.

Другий тактовий імпульс перемикає лічильник Л і АК під'єднує до компаратора другий вузол дільника ДН, тобто другу еталонну напругу ( $U_2$ ). Якщо друга еталонна напруга також менша від вхідної, то аналогічно до попереднього у наступному (другому) розряді реєстра результату РР також записується нуль.

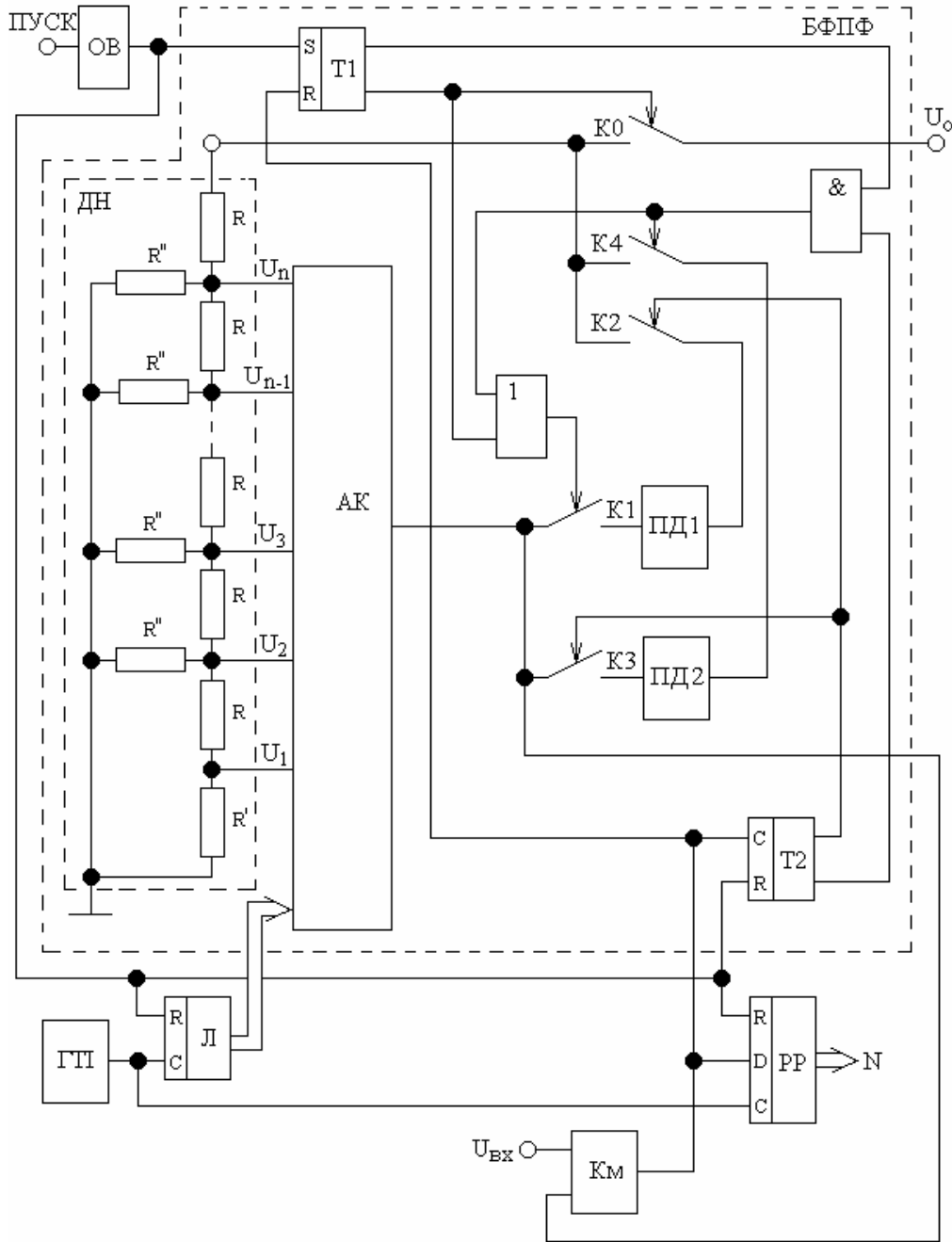
За третім тактовим імпульсом комутатор АК під'єднує до входу компаратора Км третю еталонну напругу  $U_3$ . Якщо ця напруга більша від вхідної  $U_{вх}$ , то компаратор Км встановлюється в стан логічної одиниці на виході, і в реєстрі РР у третьому розряді записується одиниця.

Крім того, логічна одиниця з виходу компаратора Км надходить:

- 1) на R-вхід першого тригера Т1 і встановлює стан логічного нуля на прямому виході Т1, внаслідок чого розмикається ключ К0;
- 2) на тактовий вхід тригера Т2 і переключає у стан логічної одиниці на прямому виході тригер Т2, внаслідок чого замикаються ключі К2 і К3, а ключ К1 розмикається.

Отже, після третього тактового імпульса до входу дільника напруги ДН під'єднана третя еталонна напруга  $U_3$ , що записана у першому піковому детекторі ПД1.

Четвертий тактовий імпульс переключає лічильник Л у наступне положення і комутатор АК під'єднує до входу компаратора Км четвертий вузол дільника ДН. Проте тепер значення еталонної напруги у четвертому вузлі дорівнює не  $U_4 = \zeta^{n-3} U_0$  (коли до входу дільника ДН була під'єднана опорна напруга  $U_0$ ), значенню  $U'_4 = \zeta^{n-3} \zeta^{n-2} U_0$ , оскільки до входу дільника ДН під'єднана записана у ПД1 напруга  $U_3 = \zeta^{n-2} U_0$ .



Функціональна схема рекурентних ЛАЦП зі сталою основою логарифму

Якщо напруга у четвертому вузлі менша від вхідної, то компаратор Км залишається у стані логічного нуля на виході і в регістрі результату РР записується нуль у четвертому розряді.

П'ятий тактовий імпульс знову переключує лічильник Л і комутатор АК під'єднує до входу компаратора Км п'ятий вузол дільника ДН, значення напруги у якому дорівнює  $U'_5 = \zeta^{n-4} \zeta^{n-2} U_0$ .

Якщо значення напруги у п'ятому вузлі  $U'_5$  перевищує рівень вхідної напруги, то спрацює компаратор Км і логічна одиниця з його виходу:

- 1) записується у п'ятому розряді регістра РР;
- 2) переключує тригер Т2, внаслідок чого ключі К3, К2 розмикаються, а ключ К4 замикається, підводячи до входу дільника напруги ДН записане у ПД2 нове значення опорної напруги  $U'_5 = \zeta^{n-4} \zeta^{n-2} U_0$ .

Шостим тактовим імпульсом знову переключастся лічильник Л і аналоговий комутатор АК під'єднує до компаратора шостий вузол дільника ДН, значення напруги у якому матиме значення

$$U'_6 = \zeta^{n-5} \zeta^{n-4} \zeta^{n-2} U_0.$$

Далі процес перетворення відбувається аналогічно до вище описаного і закінчується після  $n$ -го тактующого імпульсу, коли буде опитано останній  $n$ -вузол дільника ДН.

Результат перетворення рекурентного ЛАЦП дорівнює коду  $N$ , записаному у регістрі результату РР після  $n$ -го тактующого імпульсу, відповідає формулі

$$N = \sum_{i=1}^n A_i (n+1-i)$$

і є пропорційним логарифму вхідного сигналу, тобто  $N = \frac{1}{\log \zeta} \log \frac{U_{ex}}{U_0}$ .

Час перетворення розробленого рекурентного ЛАЦП дорівнює добутку періоду повторення тактових імпульсів на кількість тактів

$$t_n \leq n \cdot T_t,$$

де  $T_t$  – період повторення тактових імпульсів.

Основна похибка перетворення не перевищує значення

$$\delta = \frac{1-\zeta}{\zeta} \cdot 100\%.$$

### Висновки

На підставі проведених нами досліджень стверджуємо:

1. Рекурентні ЛАЦП зі сталою основою логарифму є простіші в схемній реалізації порівняно з порозрядними ЛАЦП і ЛАЦП зі змінною основою логарифму.
2. Рекурентні ЛАЦП зі сталою основою логарифму, в яких дільник напруги, що задає еталонні напруги, складається з  $\Gamma$ -подібних ланок резисторів двох номіналів  $R$ - $R'$  і додаткового резистора  $R'$ , є перспективними для інтегрального виготовлення.

### Список літератури

1. Mychuda Z. R., Ilkanych K. I., Mychuda L. Z. Nowy metod logaryfmichnoho analogo-cyfrowoho peretworennia // Zbirnyk naukovykh prac "Kompiuterni tekhnologii drukarstwa", 2004, No. 12, p. 220–224.
2. Mychuda Z., Mykyichuk M., Zhuravel I., Mychuda L., Szcześniak A., Szcześniak Z. New Method for Logarithmic Analogue-to-Digital Conversion Using Switched Capacitors with a Variable Logarithmic Base. *Electronics* 2024, 13, 29. <https://doi.org/10.3390/electronics13010029>
3. Kumar C., Pavan S. Power-Noise Trade-Offs in Continuous-Time Pipelined ADCs and Active Filters. *IEEE Trans. Circuits Syst. I Regul. Pap.* 2023, 70, 3832–3842 [Google Scholar] [CrossRef].
4. Oh D. R., Seo M. J., Ryu S. T. A 7-Bit Two-Step Flash ADC With Sample-and-Hold Sharing Technique. *IEEE J. Solid-State Circuits* 2022, 57, 2791–2801 [Google Scholar] [CrossRef].
5. Liang Y., Li C., Liu S., Zhu Z. A 14-b 20-MS/s 78.8 dB-SNDR Energy-Efficient SAR ADC With Background Mismatch Calibration and Noise-Reduction Techniques for Portable Medical Ultrasound Systems, in *IEEE TBioCAS. IEEE Trans. Biomed. Circuits Syst.* 2022, 16, 200–210 [Google Scholar] [CrossRef] [PubMed].
6. Yi P., Liang Y., Liu S., Xu N., Fang L., Hao Y. A 625kHz-BW, 79.3dB-SNDR Second-Order Noise-Shaping SAR ADC Using High-Efficiency Error-Feedback Structure. *IEEE Trans. Circuits Syst. II Express Briefs* 2021, 69, 859–863. [Google Scholar] [CrossRef].
7. Esmailyan A., Du J., Siriburanon T., Schembari F., Staszewski R. B. Dickson-Charge-Pump-Based Voltage-to-Time Conversion for Time-Based ADCs in 28-Nm CMOS. *IEEE Open J. Circuits Syst.* 2021, 2, 23–31 [Google Scholar] [CrossRef].

8. Santos M., Guilherme J., Horta N. *Logarithmic Voltage-to-Time Converter for Analog-to-Digital Signal Conversion*; Springer International Publishing: Berlin/Heidelberg, Germany, 2019; Available online: <https://www.springerprofessional.de/en/logarithmic-adc/16620222> (accessed on 15 September 2023).

9. Szcześniak A. *Analiza Przetwarzania Sygnałów Logarytmicznego Przetwornika Analogowo-Cyfrowego z Sukcesywną Aproksymacją*; Kielce University of Technology: Kielce, Poland, 2019; ISBN 978-83-65719-48-5 [Google Scholar].

10. Shen Y., Zhu Z., Liu, S., Yang Y. *A Reconfigurable 10-to-12-b 80-to-20-MS/s Bandwidth Scalable SAR ADC*. *IEEE Trans. Circuits Syst. I Regul. Pap.* 2017, 65, 51–60 [Google Scholar] [CrossRef].

11. Petilli E. M. *Logarithmic Analog to Digital Converter Devices and Methods Thereof*. U.S. Patent 20170179972, 22 June 2017. [Google Scholar] <https://www.freepatentsonline.com/y2017/0179972.html>

12. Inagaki Y., Sugimori Y., Ioka E., Matsuya Y. *Logarithmic Compression ADC Using Transient Response of a Comparator*/IEICE TRANSACTIONS on Electronics. *IEICE Trans. Electron.* 2017, E100-C, 359–362 [Google Scholar] [CrossRef].

[https://search.ieice.org/bin/summary.php?id=e100-c\\_4\\_359&category=C&year=2017&lang=E&abst=](https://search.ieice.org/bin/summary.php?id=e100-c_4_359&category=C&year=2017&lang=E&abst=)

13. Pagan M., Ortmanns M. *Evaluation of logarithmic vs. linear ADCs for neural signal acquisition and reconstruction*. In *Proceedings of the 39th Annual International Conference of the IEEE Engineering in Medicine and Biology Society, Jeju, Republic of Korea, 11–15 July 2017*, pp. 4387–4390 [Google Scholar].

14. Azarov O. D., Bilichenko N. O., Zakharchenko S. M. *High-Speed High-Precision ADC with Charge Redistribution with Self-Calibrating Weight Redundancy: Monograph*; VNTU: Vinnytsia, Ukraine, 2016; 140p, ISBN 978-966-641-665-3 [Google Scholar].

15. Moon J. H., Kim D. Y., Song M. K. *Logarithmic Single-Slope Analog Digital Converter, Image Sensor Device and Thermometer Using the Same, And Method for Logarithmic Single-Slope Analog Digital Converting*. Patent No. KR20110064514A, 15 June 2011 [Google Scholar].

## RECURRENT LOGARITHMIC ANALOG-DIGITAL CONVERTERS WITH A CONSTANT LOGARITHM BASE

Z. Mychuda<sup>1</sup>, L. Mychuda<sup>2</sup>, H. Yelisieieva<sup>2</sup>

Lviv Polytechnic National University,

<sup>1</sup>Department of Computerized Automation Systems

<sup>2</sup>Department of Information Technology Security

E-mail: [zynovii.r.mychuda@lpnu.ua](mailto:zynovii.r.mychuda@lpnu.ua), [lesia.z.mychuda@lpnu.ua](mailto:lesia.z.mychuda@lpnu.ua), [hanna.s.yelisieieva@lpnu.ua](mailto:hanna.s.yelisieieva@lpnu.ua)

© Mychuda Z. R., Mychuda L. Z., Yelisieieva H. S., 2024

In this work, a new conversion method is proposed, which makes it possible to implement recurrent logarithmic analog-to-digital converters (LADCs) with a constant base of the logarithm ( $\zeta$ ), in which the reference voltages are formed using a reference voltage divider composed of identical L-shaped links of resistors  $R - R''$  and additional resistor  $R'$ , and the values of the resistors are set according to the formulas  $R' = \frac{\zeta}{1-\zeta} \cdot R$  and  $R'' = \frac{\zeta}{(1-\zeta)^2} \cdot R$ . The use of this method significantly simplifies the schematic solution of the recurrent LADC and makes it technological for integrated manufacturing. Electrical and mathematical models of recurrent LADCs with a constant base of the logarithm have been developed, which take into account the influence of changes in the structure of LADCs during the transformation process. Formulas for estimating the fundamental error and conversion time are given.

**Keywords:** recurrent logarithmic ADCs, constant base of the logarithm, construction, error, conversion time.